

# Microprocesadores, Tema 8 (2):

## Periféricos de Comunicación Síncronos

Guillermo Carpintero

Marta Ruiz

Universidad **Carlos III** de Madrid

## Standard de Comunicación

Interfase	Formato	Num. Dispositivos	Separación max.	Velocidad de Tx (bits/seg)
SPI	Serie Sinc.	8	3 m	2.1M
I2C	Serie Sinc.	40	5.5 m	400k

# Características Básicas

## Serial Peripheral Interface (SPI)

SPI es el nombre que Motorola dio a este interfase cuando lo implemento en sus microcontroladores. Se corresponde con interfase conocido como **Microwire** (que es un Trade Mark de National Semiconductor).

## Orientado a comunicación entre dispositivos a alta velocidad

### Características

Serie Síncrono

4 hilos (SDI, SDO, SCK, SS)

Maestro-Esclavo

Hay linea SCK, controlada por Maestro

Bidireccional

# Esquema Básico de Conexión

Interfase Serie Síncrono

tres hilos

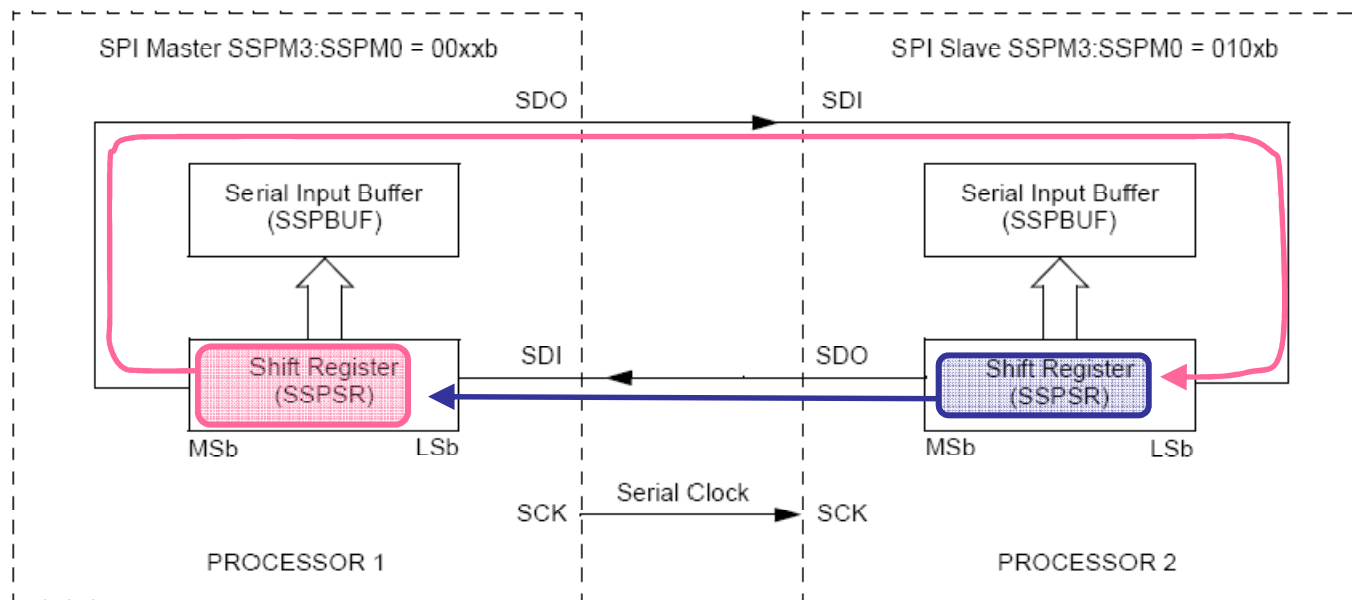
SCK (Serial Clock)

SDI (Serial Data Input)

SDO (Serial Data Output)

**1 Maestro**

**esclavo**

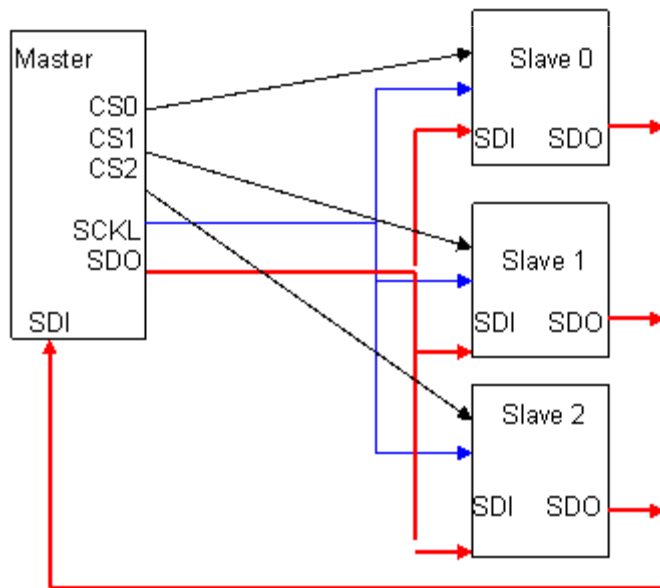
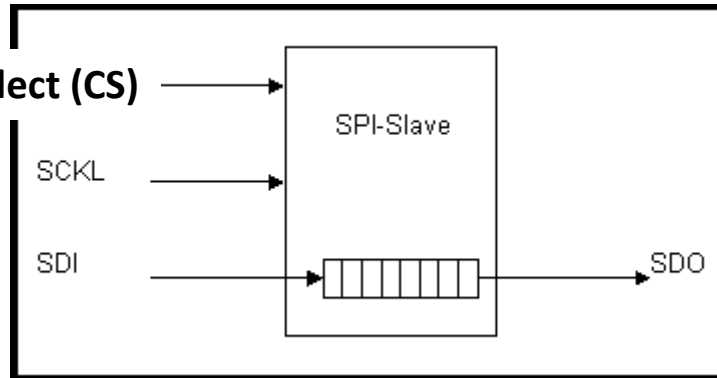


Para enviar/recibir un dato a través de SPI, el maestro debe escribir un dato en SSPBUF. Tres escenarios de transmisión:

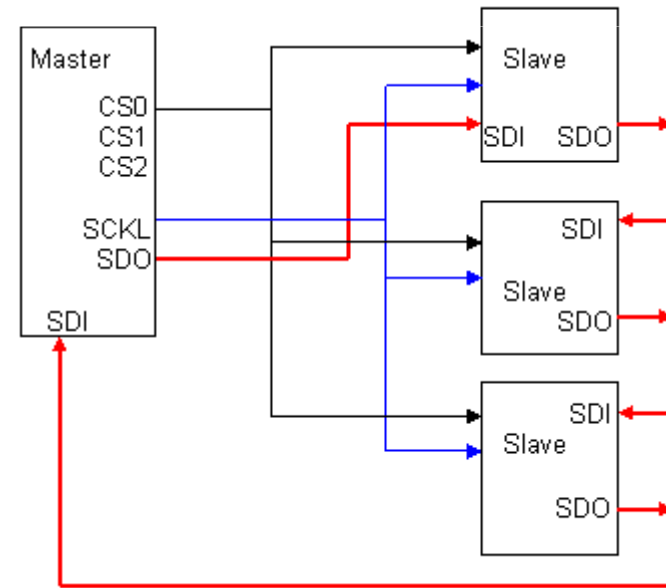
Master sends data – Slave sends dummy data  
Master sends data – Slave sends data  
Master sends dummy data – Slave sends data

# Esquema de Conexión de los esclavos

Slave Select (SS), Chip Select (CS)



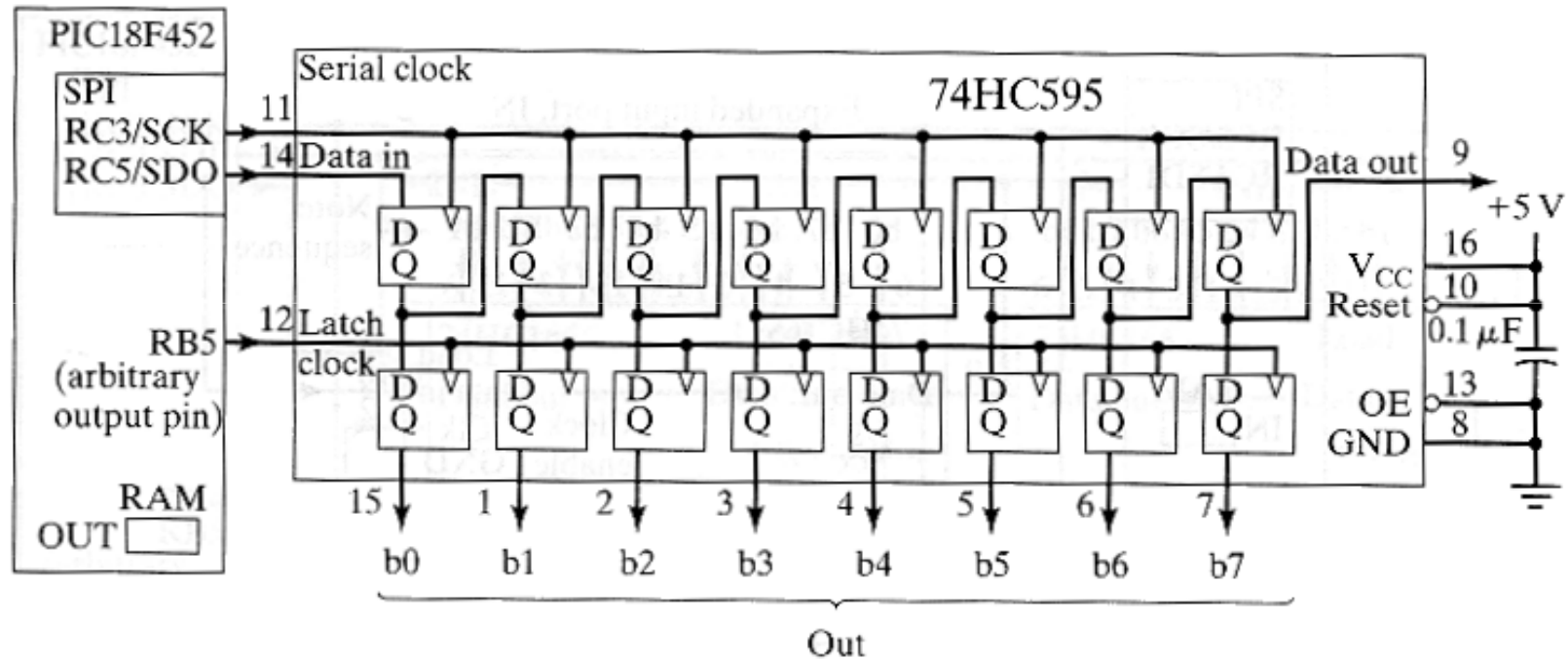
Parallel



Daisy Chain

# Aplicaciones SPI

## Expansion de puertos - OUTPUT



# Dispositivo de Interfase SPI en el PIC18

## Implementa las funciones de Maestro y Esclavo

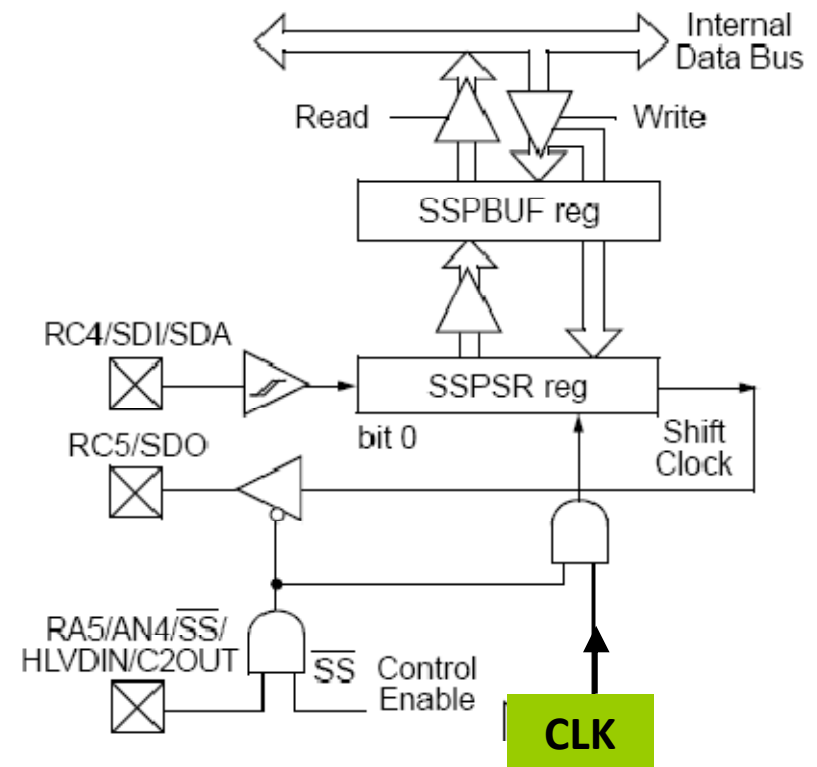
- Serial Data Out (SDO) – RC5/SDO
- Serial Data In (SDI) – RC4/SDI/SDA
- Serial Clock (SCK) – RC3/SCK/SCL

Additionally, a fourth pin may be used when in a Slave mode of operation:

- Slave Select ( $\overline{SS}$ ) – RA5/AN4/ $\overline{SS}$ /HLVDIN/C2OUT

### Configuración del registro TRIS:

- SDI is automatically controlled by the SPI module
- SDO must have TRISC<5> bit cleared
- SCK (Master) must have TRISC<3> bit cleared
- SCK (Slave ) must have TRISC<3> bit set
- SS must have TRISA<5> bit set



# Dispositivo de Interfase SPI en el PIC18

## Activación del Interfase SPI

### SSPCON1: MSSP CONTROL REGISTER 1 (SPI MODE)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
bit 7				bit 0			

bit 5 **SSPEN:** Synchronous Serial Port Enable bit

1 = Enables serial port and configures SCK, SDO, SDI and  $\overline{SS}$  as serial port pins

0 = Disables serial port and configures these pins as I/O port pins

**Note:** When enabled, these pins must be properly configured as input or output.

bit 3-0 **SSPM3:SSPM0:** Synchronous Serial Port Mode Select bits

0101 = SPI Slave mode, clock = SCK pin,  $\overline{SS}$  pin control disabled,  $\overline{SS}$  can be used as I/O pin

0100 = SPI Slave mode, clock = SCK pin,  $\overline{SS}$  pin control enabled

0011 = SPI Master mode, clock = TMR2 output/2

0010 = SPI Master mode, clock =  $F_{osc}/64$

0001 = SPI Master mode, clock =  $F_{osc}/16$

0000 = SPI Master mode, clock =  $F_{osc}/4$

**Note:** Bit combinations not specifically listed here are either reserved or implemented in I<sup>2</sup>C mode only.



## Dispositivo de Interfase SPI en el PIC18

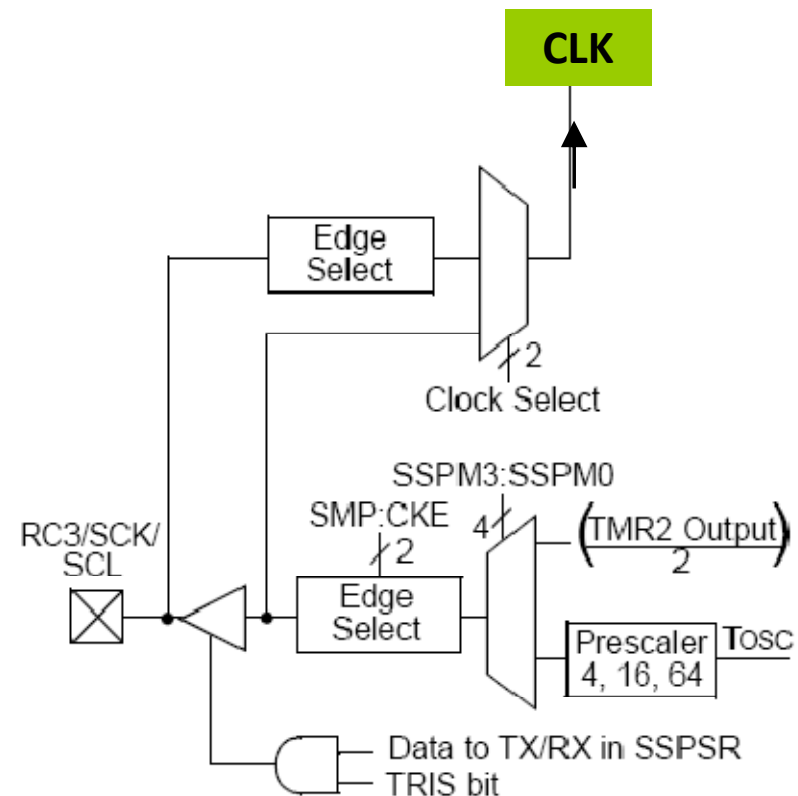
### Generación del reloj de transferencia

La velocidad de transferencia, frecuencia de SPI clock (SCK), la determina el dispositivo más lento en el bus

La frecuencia de SCK puede ser:

$F_{OSC}/4$ ,  
 $F_{OSC}/16$ , o  
 $F_{OSC}/64$ .

Si ninguna de estas satisface requisitos, se puede usar TMR2.



# Dispositivo de Interfase SPI en el PIC18

## Opciones del Reloj (SCK)

- Polaridad del Reloj (Clock Polarity) – Estado de reposo de SCK

**CKP bit, SSPCON1<4>**

1 = Idle state for clock is a high level

0 = Idle state for clock is a low level

- Fase de muestro de la línea de entrada – En mitad o al final

**SMP bit, SSPSTAT<7>**

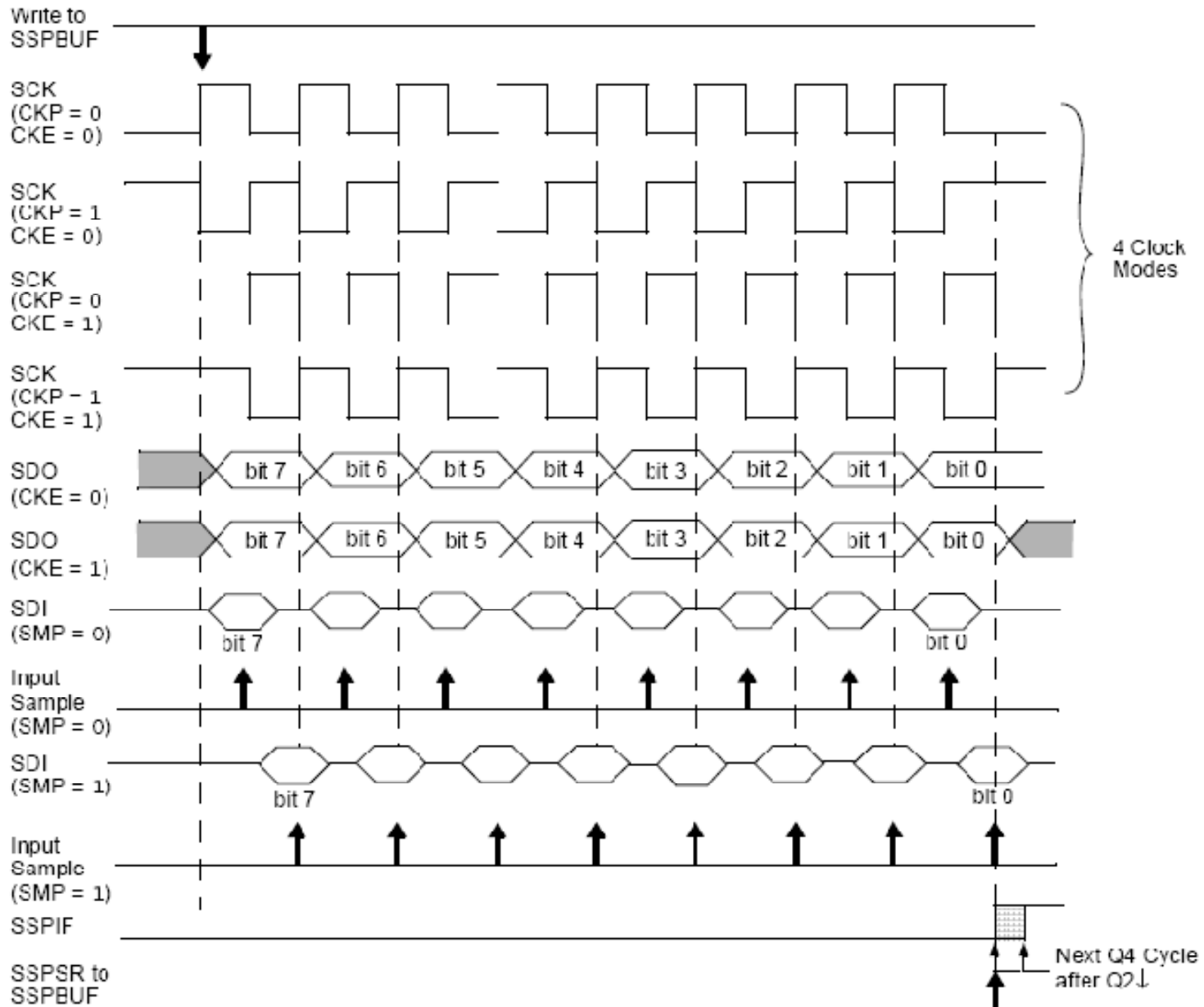
- Flanco del reloj (Clock Edge) – Bits cambian en el flanco positivo/negativo de la línea SCK

**CKE bit , SSPSTAT<6>**

1 = Transmit occurs on transition from active to Idle clock state

0 = Transmit occurs on transition from Idle to active clock state

# Dispositivo de Interfase SPI en el PIC18



## Funciones en la Librería de C18

**TABLE 2-10: SINGLE SPI™ PERIPHERAL FUNCTIONS**

<b>Function</b>	<b>Description</b>
<code>CloseSPI</code>	Disable the SSP module used for SPI™ communications.
<code>DataRdySPI</code>	Determine if a new value is available from the SPI buffer.
<code>getcSPI</code>	Read a byte from the SPI bus.
<code>getsSPI</code>	Read a string from the SPI bus.
<code>OpenSPI</code>	Initialize the SSP module used for SPI communications.
<code>putcSPI</code>	Write a byte to the SPI bus.
<code>putsSPI</code>	Write a string to the SPI bus.
<code>ReadSPI</code>	Read a byte from the SPI bus.
<code>WriteSPI</code>	Write a byte to the SPI bus.