

Microprocesadores, Tema 4:

Conceptos de Entrada / Salida

Guillermo Carpintero

Marta Ruiz

Universidad **Carlos III** de Madrid

Objetivos

Concepto de Interface

Modelo de los Dispositivos de Interface

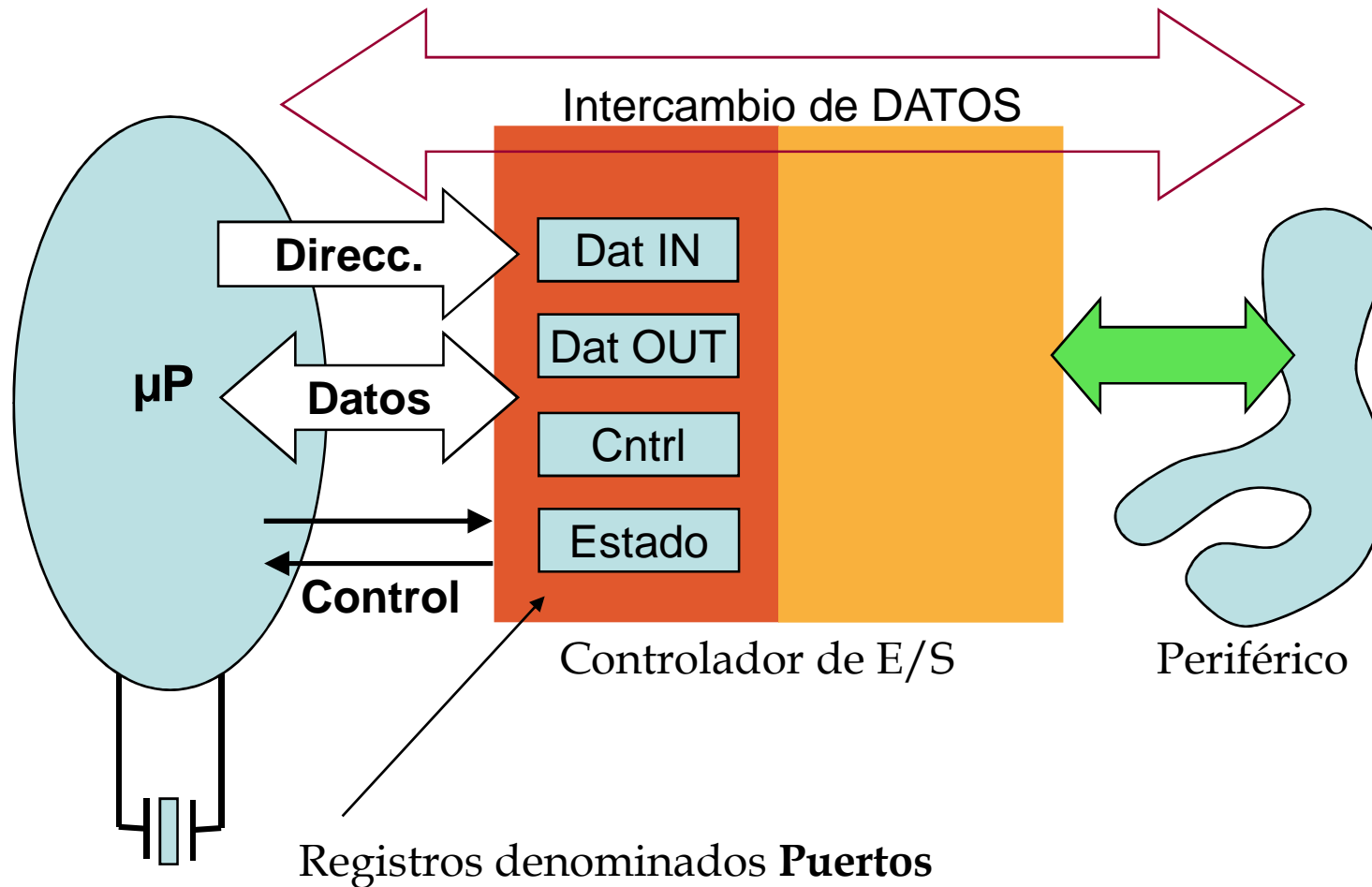
Técnicas de Sincronización de los Eventos Externos con el Programa

Espera Activa

Interrupciones

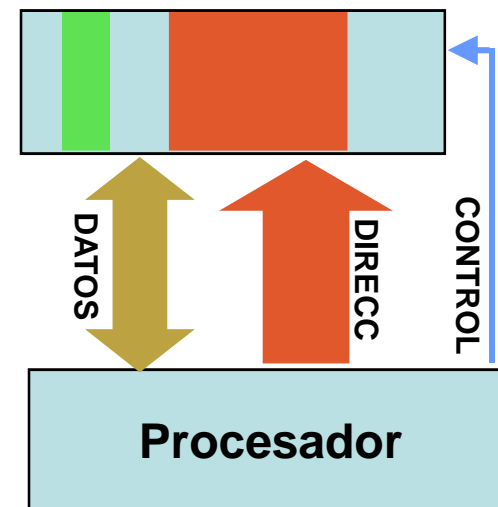
Interface de Entrada/Salida

Modelo general de interfase con un periférico.



La Entrada/Salida en el Mapa de Memoria

E/S mapeada en memoria
Los puertos se tratan como direcciones de memoria.



Este es el modelo usado en el PIC

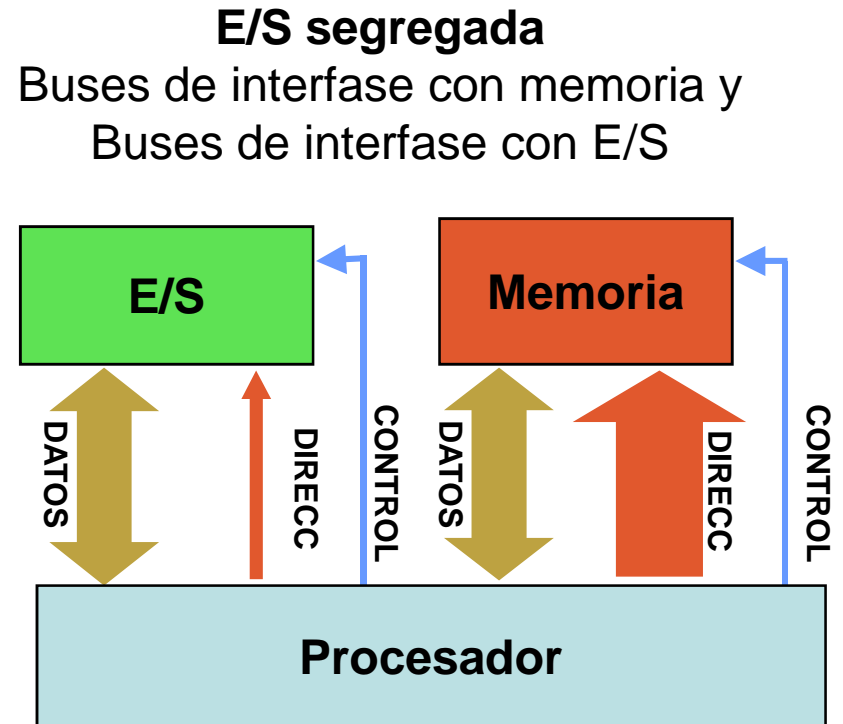
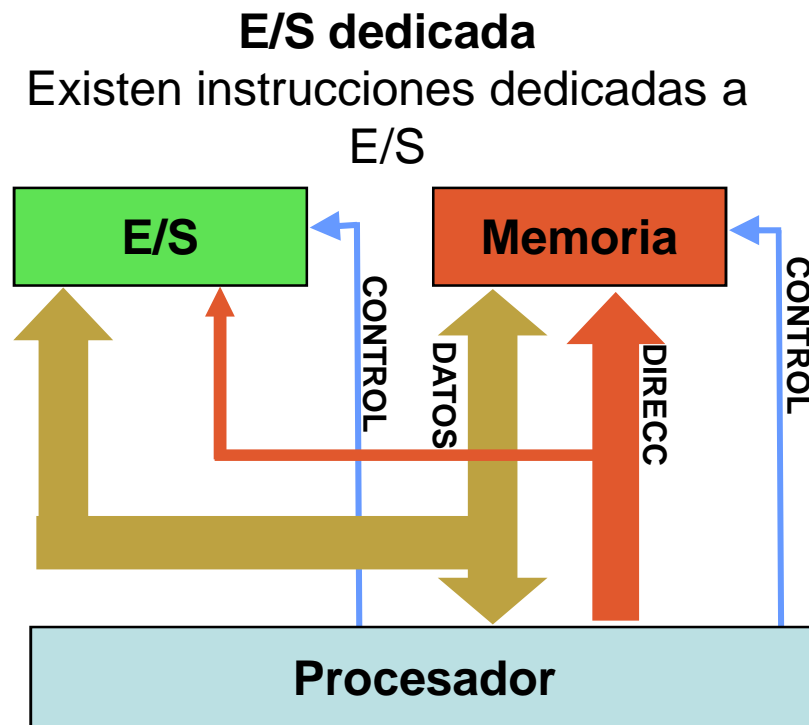
Memoria de DATOS: Zona SFR

Address	Name	Address	Name	Address	Name	Address	Name
FFFh	TOSU	FDfH	INDF2 ⁽³⁾	FBFh	CCPR1H	F9Fh	IPR1
FFEh	TOSH	FDEh	POSTINC2 ⁽³⁾	FBEh	CCPR1L	F9Eh	PIR1
FFDh	TOSL	FDDh	POSTDEC2 ⁽³⁾	FBDh	CCP1CON	F9Dh	PIE1
FFCh	STKPTR	FDCh	PREINC2 ⁽³⁾	FBCh	CCPR2H	F9Ch	—
FFBh	PCLATU	FDBh	PLUSW2 ⁽³⁾	FBBh	CCPR2L	F9Bh	—
FFAh	PCLATH	FDAh	FSR2H	FBAh	CCP2CON	F9Ah	—
FF9h	PCL	FD9h	FSR2L	FB9h	—	F99h	—
FF8h	TBLPTRU	FD8h	STATUS	FB8h	—	F98h	—
FF7h	TBLPTRH	FD7h	TMR0H	FB7h	—	F97h	—
FF6h	TBLPTRL	FD6h	TMR0L	FB6h	—	F96h	TRISE ⁽²⁾
FF5h	TABLAT	FD5h	T0CON	FB5h	—	F95h	TRISD ⁽²⁾
FF4h	PRODH	FD4h	—	FB4h	—	F94h	TRISC
FF3h	PRODL	FD3h	OSCCON	FB3h	TMR3H	F93h	TRISB
FF2h	INTCON	FD2h	LVDCON	FB2h	TMR3L	F92h	TRISA
FF1h	INTCON2	FD1h	WDTCON	FB1h	T3CON	F91h	—
FF0h	INTCON3	FD0h	RCON	FB0h	—	F90h	—
FEFh	INDF0 ⁽³⁾	FCFh	TMR1H	FAFh	SPBRG	F8Fh	—
FEEh	POSTINC0 ⁽³⁾	FCEh	TMR1L	FAEh	RCREG	F8Eh	—
FEDh	POSTDEC0 ⁽³⁾	FCDh	T1CON	FADh	TXREG	F8Dh	LATE ⁽²⁾
FECh	PREINC0 ⁽³⁾	FCCh	TMR2	FACH	TXSTA	F8Ch	LATD ⁽²⁾
FEBh	PLUSW0 ⁽³⁾	FCBh	PR2	FABh	RCSTA	F8Bh	LATC
FEAh	FSR0H	FCAh	T2CON	FAAh	—	F8Ah	LATB
FE9h	FSR0L	FC9h	SSPBUF	FA9h	EEADR	F89h	LATA
FE8h	WREG	FC8h	SSPADD	FA8h	EEDATA	F88h	—
FE7h	INDF1 ⁽³⁾	FC7h	SSPSTAT	FA7h	EECON2	F87h	—
FE6h	POSTINC1 ⁽³⁾	FC6h	SSPCON1	FA6h	EECON1	F86h	—
FE5h	POSTDEC1 ⁽³⁾	FC5h	SSPCON2	FA5h	—	F85h	—
FE4h	PREINC1 ⁽³⁾	FC4h	ADRESH	FA4h	—	F84h	PORTE ⁽²⁾
FE3h	PLUSW1 ⁽³⁾	FC3h	ADRESL	FA3h	—	F83h	PORTD ⁽²⁾
FE2h	FSR1H	FC2h	ADCON0	FA2h	IPR2	F82h	PORTC
FE1h	FSR1L	FC1h	ADCON1	FA1h	PIR2	F81h	PORTB
FE0h	BSR	FC0h	—	FA0h	PIE2	F80h	PORTA

Puertos

La Entrada/Salida en el Mapa de Memoria

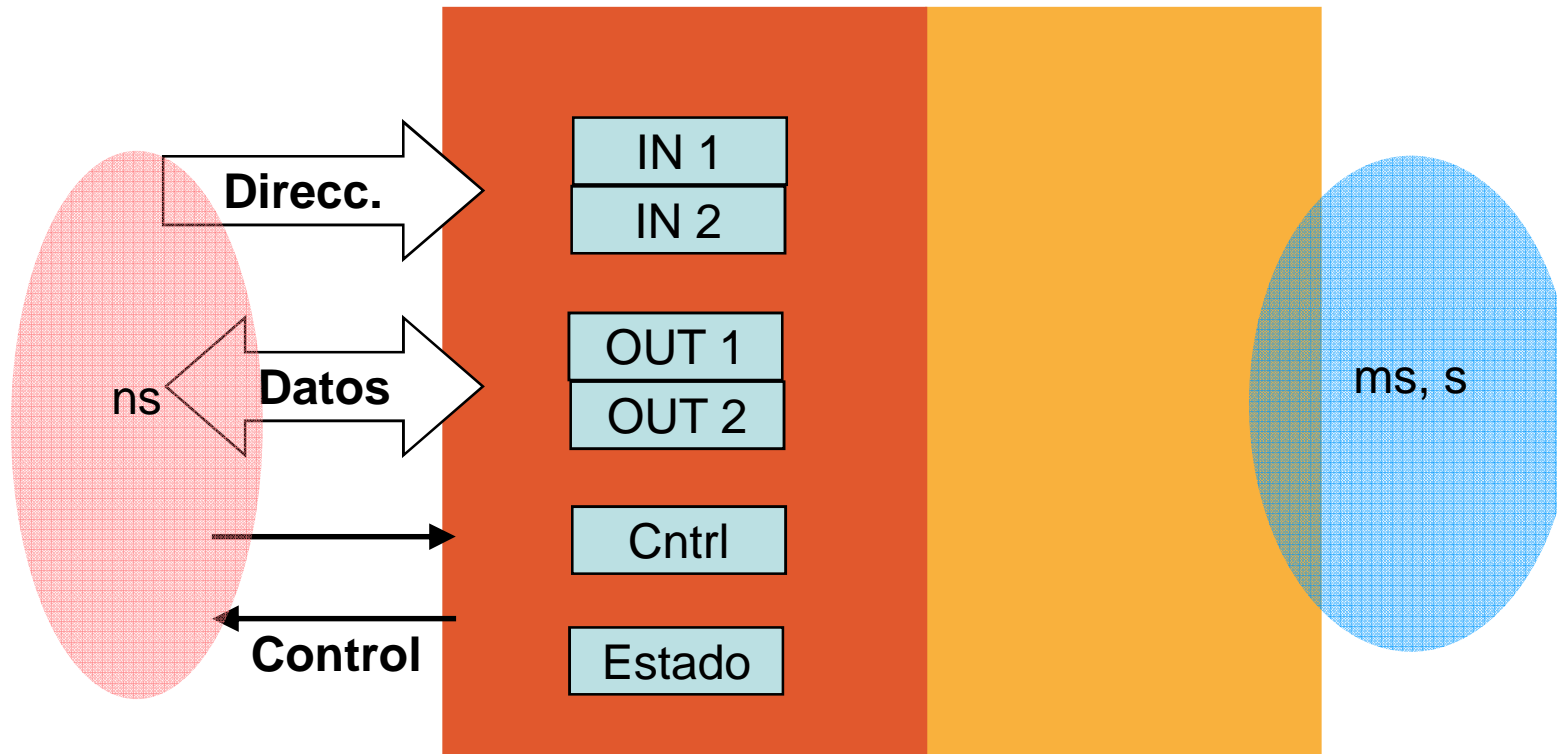
Otros Modelos.



Conceptos Fundamentales de Entrada/Salida

Buffering

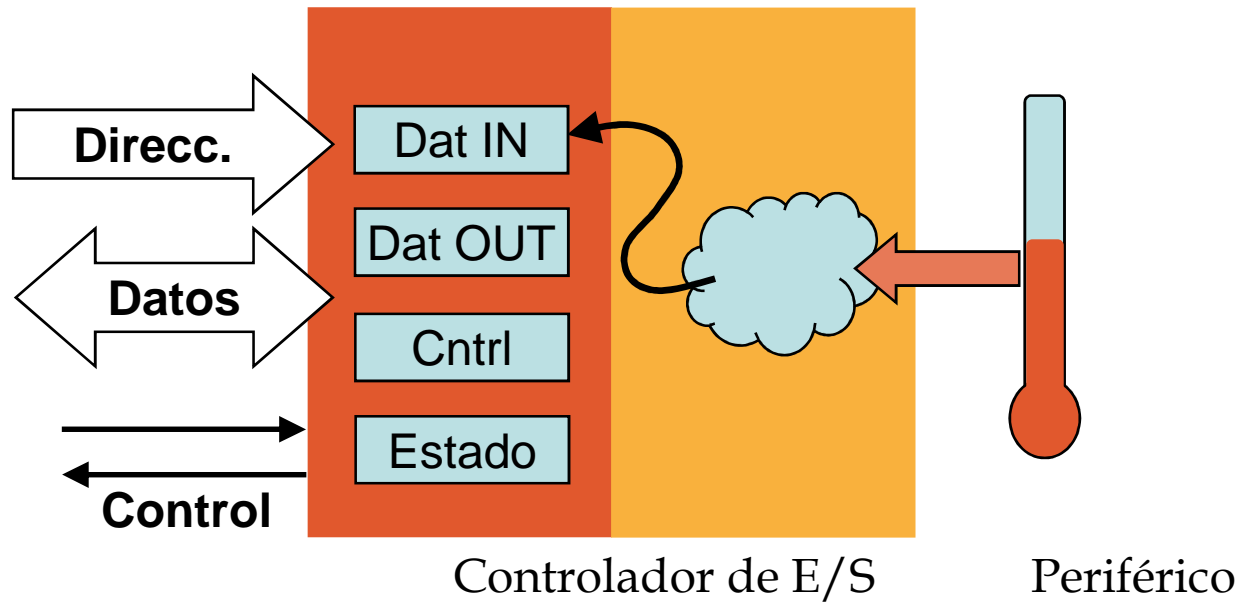
(necesario cuando hay diferencias en los tiempos de respuesta)



Controlador de E/S

Conceptos Fundamentales de Entrada/Salida

Sincronización de la E/S

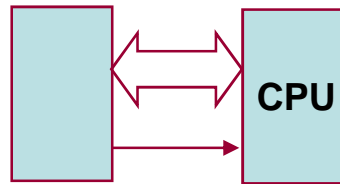


Sincronización Periférico

Sincronización CPU

Conceptos Fundamentales de Entrada/Salida

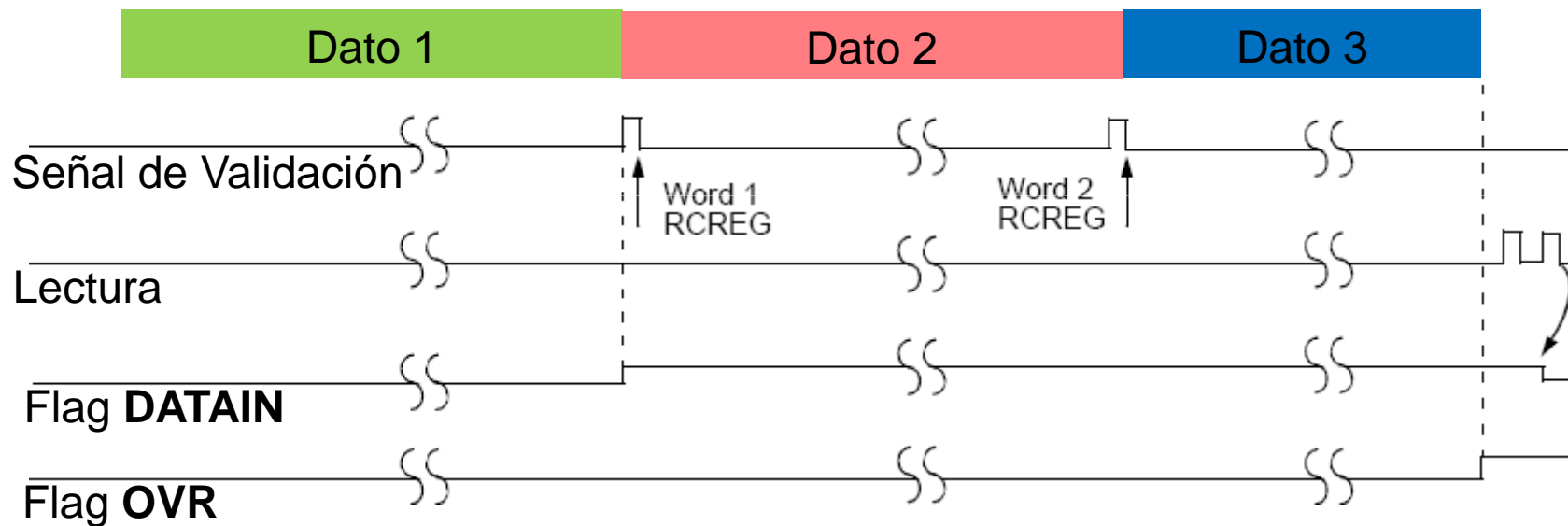
Sincronización de las Transferencias: Hardware necesario



Transferencia en Lazo Abierto

Conceptos Fundamentales de Entrada/Salida

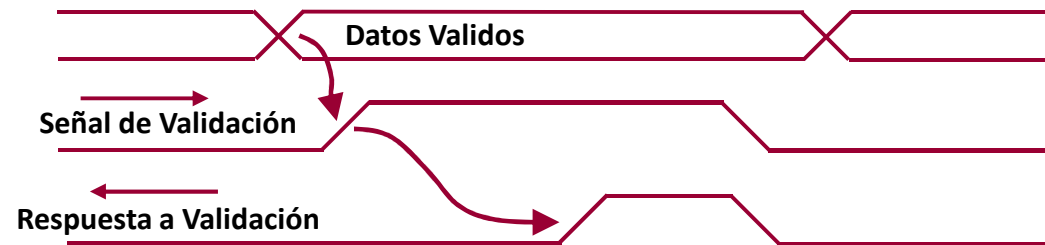
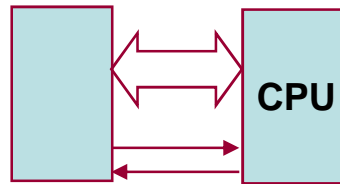
Flags de Estado del Dispositivo de Interfase



Conceptos Fundamentales de Entrada/Salida

Sincronización de las Transferencias : Handshaking

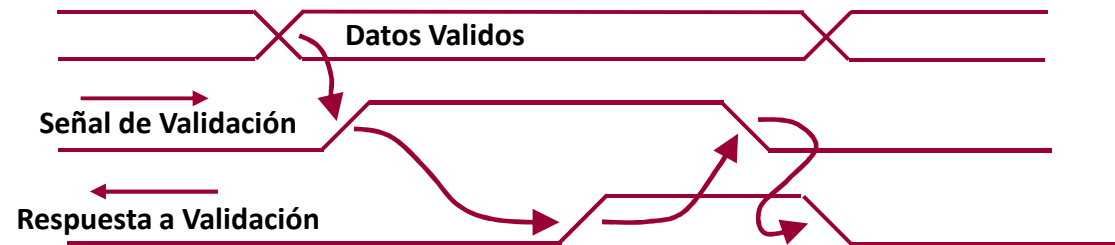
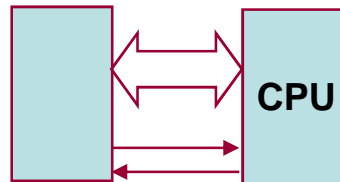
Handshake



Conceptos Fundamentales de Entrada/Salida

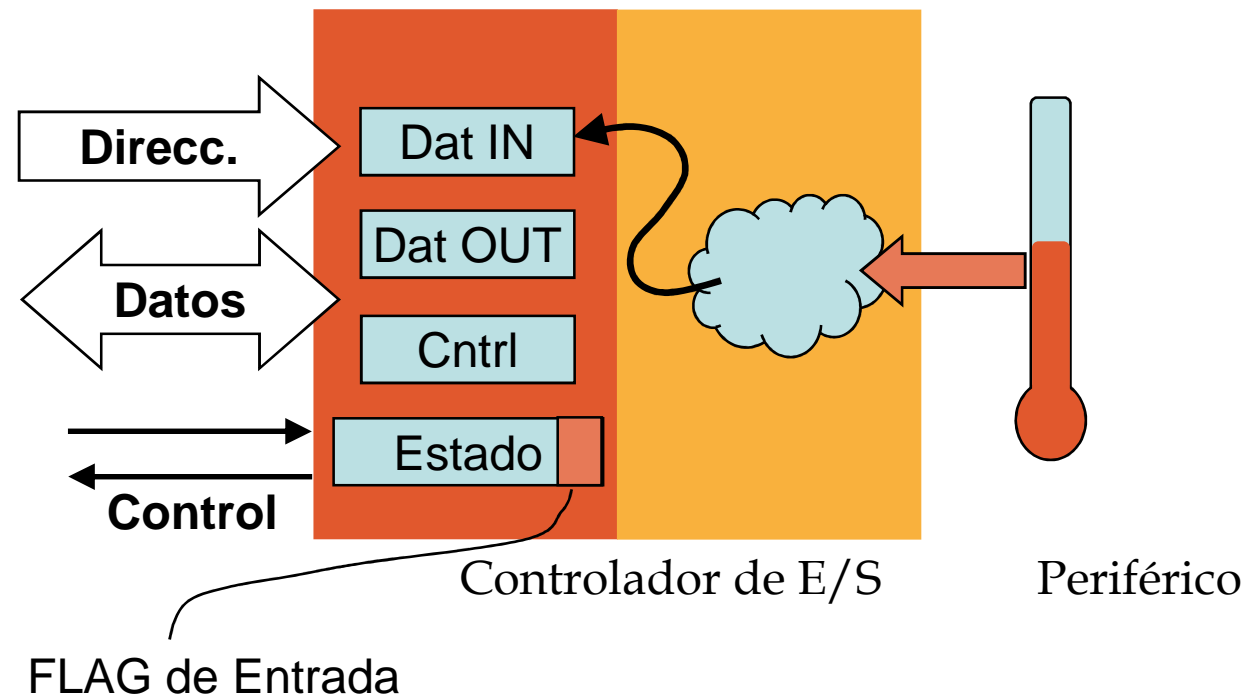
Sincronización de las Transferencias : Handshaking

Fully-Interlocked Handshake
(Asíncrono)



Conceptos Fundamentales de Entrada/Salida

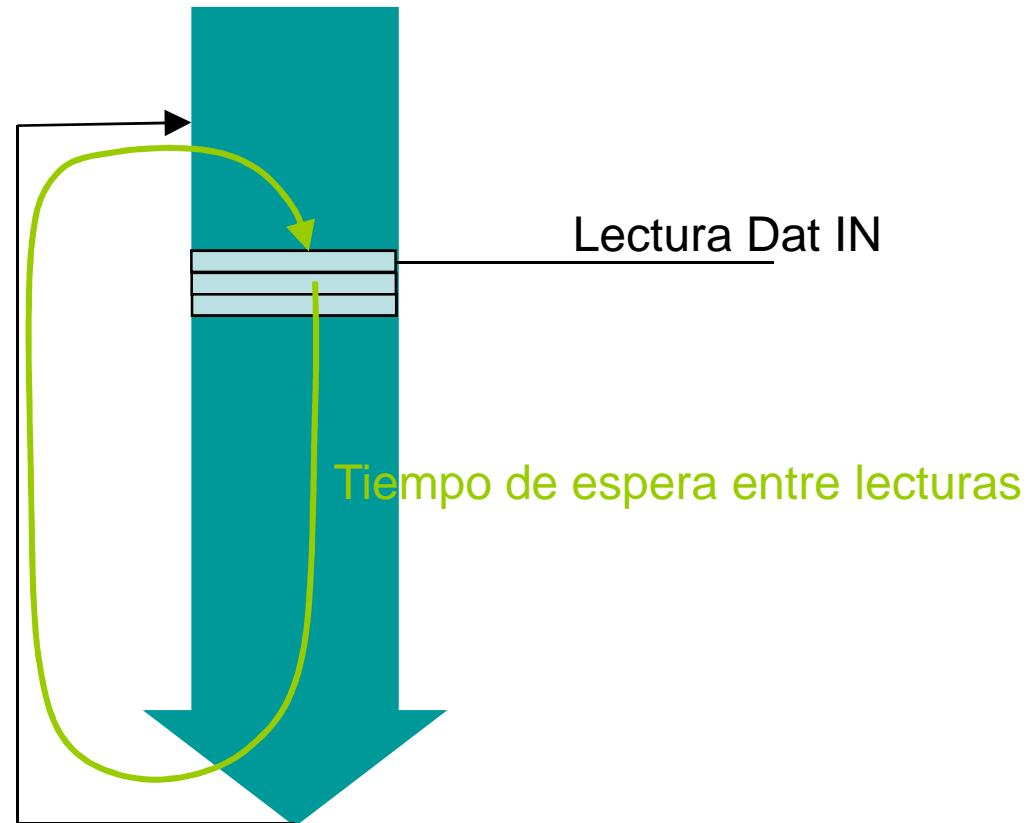
Sincronización con el Programa



Sincronización de la Entrada/Salida

E/S programada

CPU pregunta al controlador de E/S leyendo el puerto de estado

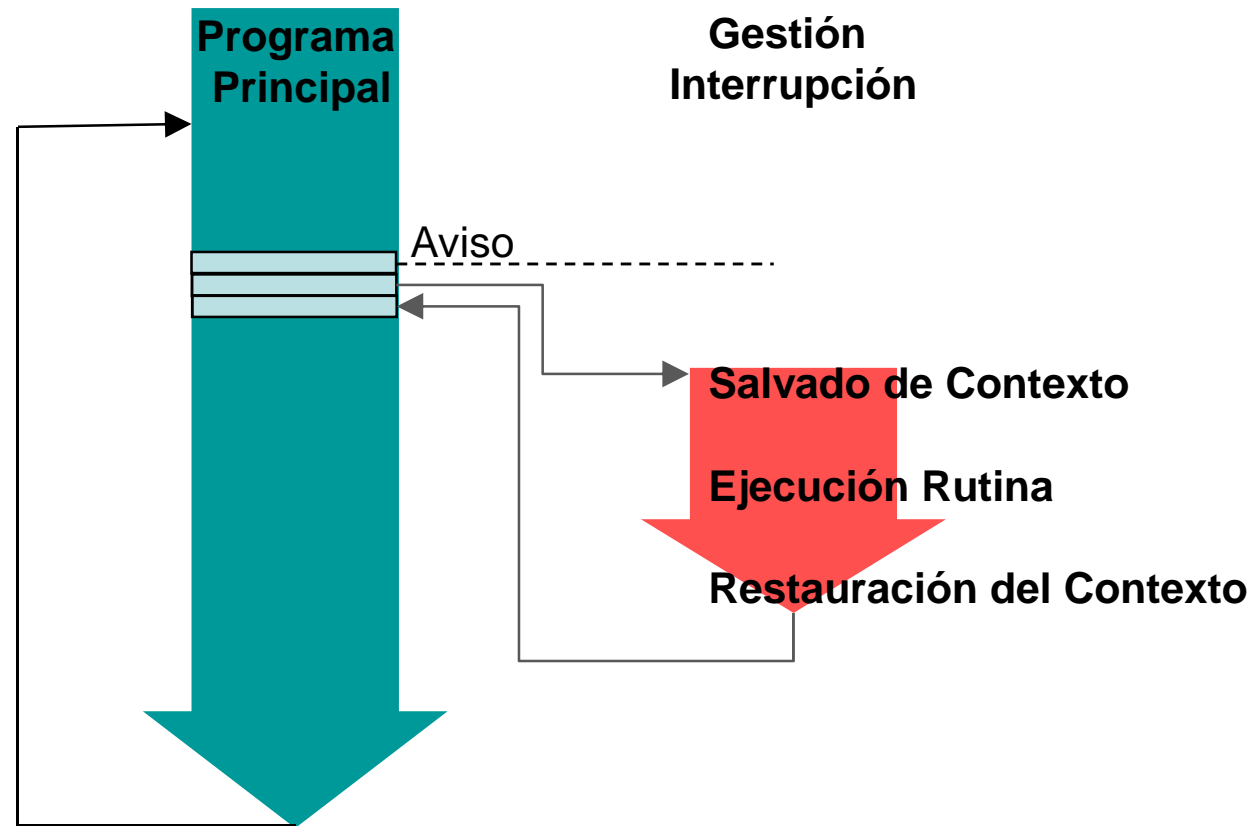


Sincronización de la Entrada/Salida

E/S por Interrupción

El controlador de E/S avisa a la CPU

En respuesta, esta ejecuta un código específico (Rutina Atención Int)



Sincronización de la Entrada/Salida

E/S por Interrupción

La CPU necesita recursos para gestionar las interrupciones:

LINEA DE AVISO

Línea INT / IRQ

**ALMACENAMIENTO TEMPORAL DEL PC
(y contenidos registros)**

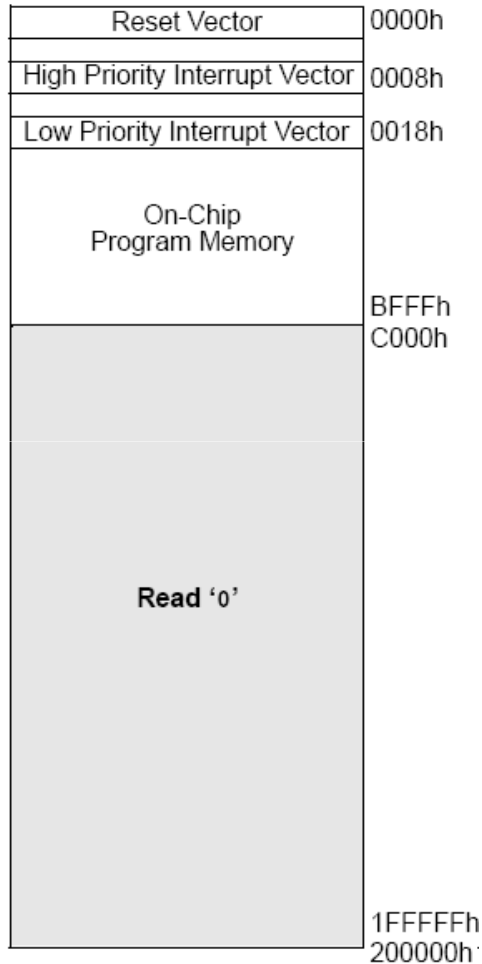
**LOCALIZACIÓN DEL CÓDIGO DE RESPUESTA
APROPIADA AL AVISO PRODUCIDO**

Zona de vectores

INSTRUCCIÓN DE RETORNO A DONDE ESTABA

RTFIE

Atención a Interrupción en el PIC18



Gestión de Interrupciones en el PIC18F2525

Múltiples fuentes de interrupción

Sistema de gestión de interrupciones por prioridad

IPEN bit (RCON<7>) = 1

A las fuentes se les puede asignar prioridad alta (high priority, interrupt vector en 0008h) o prioridad baja (low priority level, Interrupt vector is at 0018h).

10 registros relacionados con control de interrupciones

- RCON
- INTCON
- INTCON2
- INTCON3
- PIR1, PIR2
- PIE1, PIE2
- IPR1, IPR2

Atención a Interrupción en el PIC18

Gestión de Interrupciones en el PIC18F2525

Tres bits asociados a cada fuente de interrupción:

- **Flag bit** para indicar que se ha producido el evento
- **Enable bit** que permite que la activación del flag haga saltar a la CPU a la rutina de atención a interrupción
- **Priority bit** para asignar el nivel de prioridad de la fuente (high o low).

Máscaras (Enable bits) generales por prioridad

GIEH bit (INTCON<7>)=1 habilita las fuentes con prioridad alta.

GIEL bit (INTCON<6>)=1 habilita las fuentes con prioridad baja.

Atención a Interrupción en el PIC18

REGISTER 10-1: INTCON: INTERRUPT CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF
bit 7							bit 0

- bit 7 **GIE/GIEH:** Global Interrupt Enable bit
When IPEN = 0:
 1 = Enables all unmasked interrupts
 0 = Disables all interrupts
When IPEN = 1:
 1 = Enables all high priority interrupts
 0 = Disables all interrupts
- bit 6 **PEIE/GIEL:** Peripheral Interrupt Enable bit
When IPEN = 0:
 1 = Enables all unmasked peripheral interrupts
 0 = Disables all peripheral interrupts
When IPEN = 1:
 1 = Enables all low priority peripheral interrupts
 0 = Disables all low priority peripheral interrupts
- bit 5 **TMR0IE:** TMR0 Overflow Interrupt Enable bit
 1 = Enables the TMR0 overflow interrupt
 0 = Disables the TMR0 overflow interrupt
- bit 4 **INT0IE:** INT0 External Interrupt Enable bit
 1 = Enables the INT0 external interrupt
 0 = Disables the INT0 external interrupt
- bit 3 **RBIE:** RB Port Change Interrupt Enable bit
 1 = Enables the RB port change interrupt
 0 = Disables the RB port change interrupt
- bit 2 **TMR0IF:** TMR0 Overflow Interrupt Flag bit
 1 = TMR0 register has overflowed (must be cleared in software)
 0 = TMR0 register did not overflow
- bit 1 **INT0IF:** INT0 External Interrupt Flag bit
 1 = The INT0 external interrupt occurred (must be cleared in software)
 0 = The INT0 external interrupt did not occur
- bit 0 **RBIF:** RB Port Change Interrupt Flag bit
 1 = At least one of the RB7:RB4 pins changed state (must be cleared in software)
 0 = None of the RB7:RB4 pins have changed state

Note: A mismatch condition will continue to set this bit. Reading PORTB will end the mismatch condition and allow the bit to be cleared.