

UNIVERSIDAD CARLOS III DE MADRID

Tema 1. Jerarquía de Memoria

Departamento de Ingeniería de Sistemas y Automática

RAÚL PÉRULA MARTÍNEZ
LUIS ENRIQUE MORENO LORENTE
ALBERTO BRUNETE GONZALEZ
CESAR AUGUSTO ARISMENDI GUTIERREZ
DOMINGO MIGUEL GUINEA GARCIA ALEGRE
JOSÉ CARLOS CASTILLO MONTOYA



Universidad
Carlos III de Madrid



Esta obra se publica bajo una licencia Creative Commons Reconocimiento-NoComercial-CompartidaIgual 3.0 España.



Ejercicio 1

Sistema simple de memoria

- Registros CPU.
- Caché asociativa de 2 líneas (entradas), con campo de etiqueta de 4 bits y campo de datos de 1 Byte, política de reemplazo LRU (Least Recently Used).
- Memoria física con palabra de memoria de 1 Byte.



Ejercicio 2

Aumento del tamaño de bloque

- Registros CPU.
- Caché asociativa de 2 líneas (entrada), con campo de etiqueta de 3 bits y campo de datos de 2 Bytes, política de reemplazo LRU (Least Recently Used).
- Memoria física con palabra de memoria de 1 Byte.



Universidad Carlos III de Madrid
Departamento de Ingeniería de Sistemas y Automática

Ejercicio 3

Escritura en memoria (write-through)



Universidad Carlos III de Madrid
Departamento de Ingeniería de Sistemas y Automática

Ejercicio 4

Escritura en memoria (write-back)



Ejercicio 5

Mapeo directo



Universidad Carlos III de Madrid
Departamento de Ingeniería de Sistemas y Automática

Ejercicio 6

Mapeo asociativo por conjuntos