

UNIVERSIDAD CARLOS III DE MADRID

Tema 8. Scoreboard

Departamento de Ingeniería de Sistemas y
Automática

RAÚL PÉRULA MARTÍNEZ
LUIS ENRIQUE MORENO LORENTE
ALBERTO BRUNETE GONZALEZ
CESAR AUGUSTO ARISMENDI GUTIERREZ
DOMINGO MIGUEL GUINEA GARCIA ALEGRE
JOSÉ CARLOS CASTILLO MONTOYA



Universidad
Carlos III de Madrid



Esta obra se publica bajo una licencia Creative Commons Reconocimiento-NoComercial-CompartidIgual 3.0 España.



Ejercicio 1

Para la arquitectura vista en clase de teoría con las siguientes modificaciones:

- 1 UF add 2 ciclos,
- 1 UF mul 2 ciclos,
- 1 UF div 2 ciclos no segmentados.

1. Calcular el diagrama de secuencia usando el algoritmo de Scoreboard para el siguiente programa:

```
1  loop: ld    f2, 0(r1)
2          blt  f2, 0, L2
3  L1:   addd  f4, f2, f0
4          multd f6, f4, f2
5          addd  f6, f6, f8
6          sd   0(r2), f6
7          br   L3
8  L2:   divd  f4, f2, f10
9          addd  f4, f4, f0
10         sd   0(r2), f4
11 L3:   subi  r1, r1, #8
12         bnez r1, loop
```

Nota: NO habrá predicción de saltos. Los saltos serán resueltos en la etapa de Memoria. NO se tomará el salto hacia L2.



1. Cronograma.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36				
1	loop	ld f2, 0(r1)																																						
2		blt f2, 0, L2																																						
3	L1:	add f4, f2, f0																																						
4		multd f6, f4, f2																																						
5		add f6, f6, f8																																						
6		sd 0(r2), f6																																						
7		br L3																																						
8	L2:	divd f4, f2, f10																																						
9		add f4, f4, f0																																						
10		sd 0(r2), f4																																						
11	L3:	subi r1, r1, #8																																						
12		bnez r1, loop																																						



Ejercicio 2

Un procesador implementa planificación dinámica de instrucciones. Dispone de las siguientes unidades:

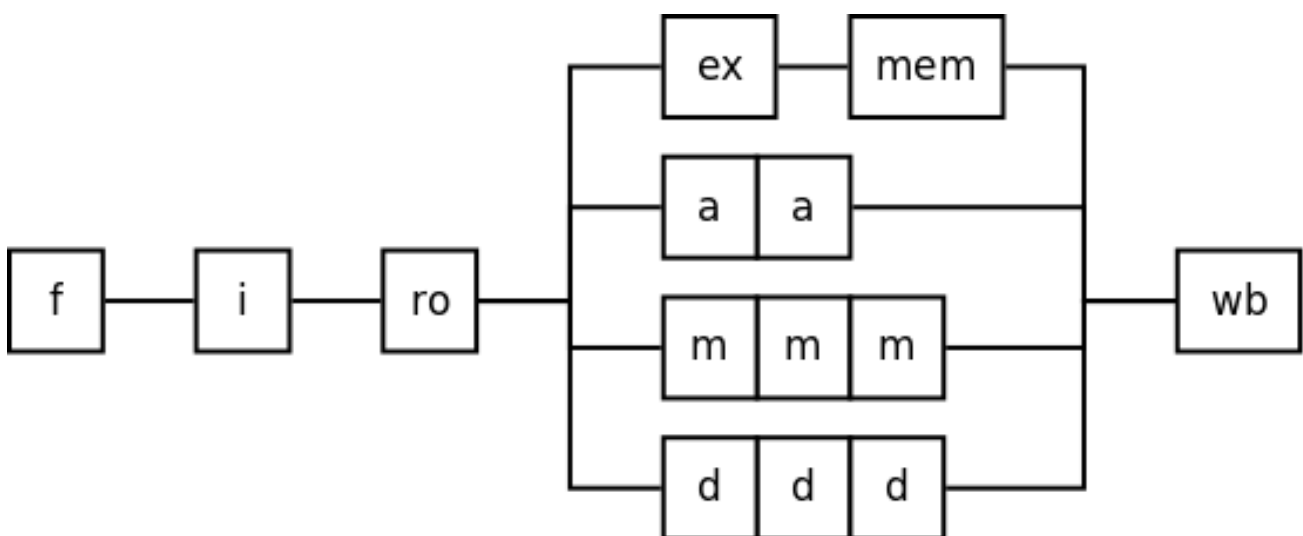
Unidad	Tiempo operación	Número de unidades
Suma / Resta FP	2 ciclos	1
Multiplicación FP	3 ciclos	1
División FP	3 ciclos	3

Se tiene el siguiente código en cierto lenguaje ensamblador:

```

1 ld    f7, 0(r1)
2 divf  f1, f8, f7
3 multf f2, f9, f7
4 addf  f3, f1, f2
5 divf  f3, f3, f7
6 divf  f4, f11, f7
7 divf  f5, f12, f7
8 multf f6, f4, f5
9 divf  f4, f3, f7
    
```

- Mostrar el cronograma de ejecución suponiendo que el procesador implementa el algoritmo del marcador.





Solución

1. Cronograma.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
1 ld f7, 0(r1)	F	Is	Ro	Ex	Mem	Wb																				
2 divf f1, f8, f7	F	Is	•	•	•	Ro	Ex	Ex	Ex	Wb																
3 multf f2, f9, f7			F	Is	•	Ro	Ex	Ex	Ex	•	Wb															
4 addf f3, f1, f2				F	Is	•	•	•	•	•	Ro	Ex	Ex	Wb												
5 divf f3, f3, f7					F	•	•	•	•	•	•	•	•	Is	Ro	Ex	Ex	Ex	Wb							
6 divf f4, f11, f7														F	Is	Ro	Ex	Ex	Wb							
7 divf f5, f12, f7															F	Is	Ro	Ex	Ex	Wb						
8 multf f6, f4, f5																F	Is	•	•	•	Ro	Ex	Ex	Ex	Wb	
9 divf f4, f3, f7																	F	•	•	•	Is	Ro	Ex	Ex	Ex	Wb

Ejercicio 3

El siguiente fragmento de programa aplica un algoritmo sobre un vector A y almacena el resultado en un vector B:

```
for (i=0;i<100;i=i+1) {
    b[i] = d * a[i-1] + b[i-1];
}
```

El compilador lo traduce al siguiente código DLX:

```

    addi r3, r1, 800 ;condicion de final
    addi r1, r1, 8   ;inicializacion de los indices
    addi r2, r2, 8
    ld   f0, c      ;carga del coeficiente c
loop: ld   f2, -8(r1) ;carga de a[i-1]
      ld   f4, 0(r1) ;carga de a[i]
      ld   f6, -8(r2) ;carga de b[i-1]
      multd f8, f0, f2 ;d * a[i-1]
      addd f4, f4, f8 ;d * a[i-1]+a[i]
      addd f4, f4, f6 ;d * a[i-1] + b[i-1]
      sd   0(r2), f4 ;guarda b[i]
      addi r2, r2, 8 incremento de indices
      addi r1, r1, 8
      slt  r4, r1, r3
      bnez r4, loop

```

Suponga además que es posible realizar en el mismo ciclo una lectura (2ª mitad del ciclo) y una escritura (1ª mitad) sobre el banco de registros.

1. Mostrar el cronograma de ejecución suponiendo que el procesador implementa planificación dinámica mediante el **algoritmo del marcador**. Indique en qué ciclo de reloj comenzaría la segunda iteración.

