

UNIVERSIDAD CARLOS III DE MADRID

Guía Presentación Bloque 1 (Temas 0 y 1)

Departamento de Ingeniería de Sistemas y
Automática

RAÚL PÉRULA MARTÍNEZ
LUIS ENRIQUE MORENO LORENTE
ALBERTO BRUNETE GONZALEZ
CESAR AUGUSTO ARISMENDI GUTIERREZ
DOMINGO MIGUEL GUINEA GARCIA ALEGRE
JOSÉ CARLOS CASTILLO MONTOYA



Universidad
Carlos III de Madrid



Esta obra se publica bajo una licencia Creative Commons Reconocimiento-NoComercial-CompartidIgual 3.0
España.



Guía de presentación del bloque I (Tema 0. Introducción al paralelismo y organización de un computador; y tema 1. Jerarquía de memoria: Conceptos básicos)

Los dos primeros temas de la asignatura ofrecen una visión introductoria a la organización de computadores, abarcando diversos tipos de arquitecturas clasificadas según su complejidad. Los alumnos recibirán también una noción de la evolución de los procesadores a lo largo de la historia, comenzando con los sistemas monoproceso, hasta los procesadores actuales capaces de operar con varios hilos de ejecución simultáneamente.

En este bloque temático se estudiarán también las principales características del sistema de memoria. Esto incluye un repaso de las distintas tecnologías que se han aplicado y cómo han ido evolucionando hasta las memorias actuales, prestando especial atención a cómo se organiza la jerarquía de memoria, donde se ofrecen métricas para evaluar las prestaciones de un sistema de memoria.

Otro aspecto importante que se abarca en este bloque de contenidos es el que afecta a las políticas de correspondencia, es decir, la forma de establecer la asociación entre los datos en memoria principal y caché.

El **tema 0** es introductorio pues en él se define el concepto de arquitectura de computadores, así como sus principales características. Así, se estudiará la evolución de la arquitectura de computadores, desde los primeros procesadores escalares hasta los modernos multiprocesadores y multicomputadores. Para estos últimos se estudiarán diferentes clasificaciones. Además, este tema aporta conceptos básicos tales como segmentación, anticipación y paralelismo, que serán de gran utilidad durante el resto de temas de la asignatura. Finalmente, se prestará atención al paradigma multihilo (multi-threading), que ha alcanzado gran popularidad entre las arquitecturas de procesadores. En estas arquitecturas, el procesador puede ejecutar más de un hilo a la vez, incluso dentro de un mismo ciclo de reloj, lo que produce que desde un punto de vista operativo parezca que hay varios procesadores “lógicos”.

El **tema 1** aporta una visión general de la organización del sistema de memoria. En primer lugar, se presentan los principales problemas de la memoria de un procesador, junto con una serie de conceptos asociados. Este tema ofrece también un recorrido por diferentes tecnologías hardware que han conducido a las memorias de hoy en día. Dentro de este recorrido, se describe la tecnología DRAM, precursora de la actual, tanto a nivel de componentes electrónicos, como a nivel de arquitectura de un módulo de memoria. Otro concepto importante cubierto en este tema es la jerarquía de memoria, es decir, cómo se organizan los diferentes sistemas de memoria dentro de un computador y cuál es la utilidad de las memorias cachés dentro de dicha jerarquía.

Existe otro concepto interesante en este tema relativo a la política de correspondencia, el cual responde al problema de posicionamiento de datos en la caché debido a que las cachés son de menor tamaño que la memoria principal. Estas políticas generalmente van asociadas a estrategias de reemplazo, en el caso de que



Universidad Carlos III de Madrid
Departamento de Ingeniería de Sistemas y Automática

cierta información tenga que ser sustituida en caché. Para finalizar el tema, se ofrece una serie de métricas para evaluar las prestaciones de una memoria caché, así como mejoras para incrementar el rendimiento tanto en escritura como en lectura.