

UNIVERSIDAD CARLOS III DE MADRID
DEPARTAMENTO DE INFORMÁTICA
GRADO EN INGENIERÍA INFORMÁTICA. ESTRUCTURA DE COMPUTADORES

Para la realización del presente examen se dispondrá de **1:30 horas**.
NO se podrán utilizar libros, apuntes **ni** calculadoras de ningún tipo.

Ejercicio 1. Indique y justifique alguna ventaja del uso de tablas multinivel en los sistemas de memoria virtual

Ejercicio 2. Indique los tipos de registros necesarios para la interacción entre CPU y una unidad de E/S.

Ejercicio 3. Indique, en notación hexadecimal, los siguientes valores en formato en IEEE 754 de simple precisión:

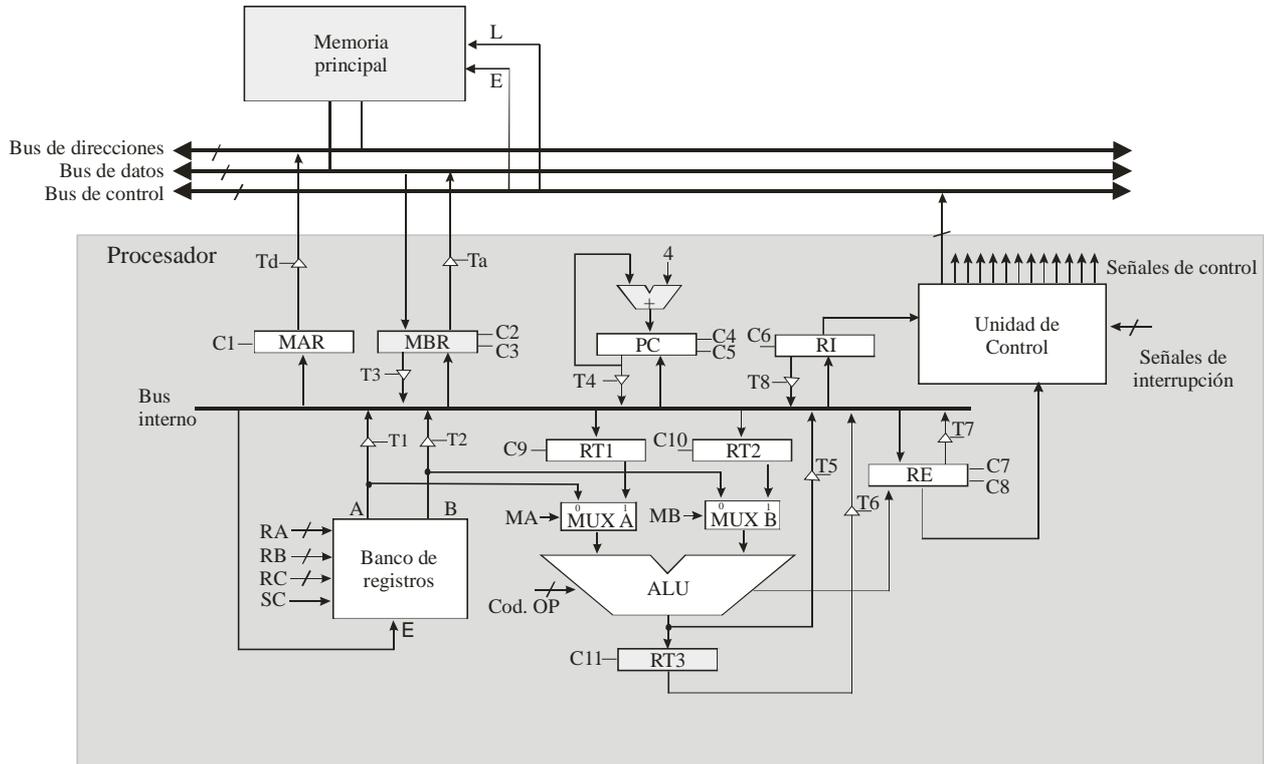
- a) El valor normalizado positivo más pequeño representable.
- b) El valor más grande menor de 1 representable.
- c) Infinito (positivo).
- d) El valor negativo más grande representable.

Ejercicio 4. Codifique los siguientes programas usando el lenguaje MIPS32, así como usando sus convenciones para el paso de variables:

- a) Escriba un programa principal que realice una llamada a una rutina denominada *atoi*, imprimiendo el resultado de la rutina por pantalla. La rutina *atoi* convierte una cadena que contiene caracteres numéricos comprendidos entre el carácter '0' y el '9' y devuelve su valor convertido en entero. Esta rutina recibe un único parámetro de entrada: una cadena de caracteres numéricos y devuelve un valor entero.
- b) Codifique la rutina *atoi*.

NOTA: el carácter '0' tiene el valor ascii 48

Ejercicio 5. Considere el siguiente esquema de procesador de 32 bits. El banco de registros incluye 32 registros. Considere que el computador utiliza un ciclo de reloj para realizar la decodificación de la instrucción y que las operaciones de lectura y de escritura a memoria requieren un ciclo de reloj.



Entre otras instrucciones, el procesador incluye la siguiente:

lh \$dest, \$orig[desp]

que carga en el registro \$dest, el valor de la semipalabra (2 bytes) especificado almacenado en la dirección de memoria especificada mediante direccionamiento relativo con respecto al registro \$orig. Tenga en cuenta que los dos bytes más significativos del registro \$dest, deben quedar a cero, quedando el valor de la semipalabra en los dos bytes menos significativos.

- Especifique la instrucción a nivel RT.
- Indique las señales de control que se activarán en cada ciclo.

Ejercicio 6. Se dispone de un sistema con una memoria caché de 2 niveles. En la ejecución de una determinada aplicación, la tasa de aciertos de la caché de nivel 1 es del 85% y la tasa de aciertos de la caché de nivel 2 es del 95%. El tiempo de acceso a memoria principal es de 100 ns. El tiempo de acceso a la caché de nivel 1 es de 4 ns y el tiempo de acceso a la caché de nivel 2 de 10 ns.

Determine el tiempo medio de acceso al sistema de memoria.