

UNIVERSIDAD CARLOS III DE MADRID
DEPARTAMENTO DE INFORMÁTICA
GRADO EN INGENIERÍA INFORMÁTICA. ESTRUCTURA DE COMPUTADORES

Para la realización del presente examen se dispondrá de **1:30 horas**.
NO se podrán utilizar libros, apuntes **ni** calculadoras de ningún tipo.

Ejercicio 1. Indique y justifique alguna ventaja del uso de tablas multinivel en los sistemas de memoria virtual

Solución del ejercicio 1

Si proceso usa una parte pequeña de su espacio lógico: Ahorro en espacio para almacenar TPs. Ejemplo: Proceso que usa 12MB superiores y 4MB inferiores, 2 niveles, páginas de 4K, dir. lógica 32 bits (10 bits por nivel) y 4 bytes por entrada.

- Tamaño: 1 TP N1 + 4 TP N2 = 5 * 4KB = 20KB (frente a 4MB)
- Ventajas adicionales: Permite compartir TPs intermedias; Sólo se requiere que esté en memoria la TP de nivel superior; TPs restantes pueden estar en disco y traerse por demanda

Ejercicio 2. Indique los tipos de registros necesarios para la interacción entre CPU y una unidad de E/S.

Solución del ejercicio 2

- Registro de control. Ordenes para el periférico
- Registro de estado. Estado desde de la última orden
- Registro de datos. Datos intercambiados CPU/Perif..

Ejercicio 3. Indique, en notación hexadecimal, los siguientes valores en formato en IEEE 754 de simple precisión:

- a) El valor normalizado positivo más pequeño representable.
- b) El valor más grande menor de 1 representable.
- c) Infinito (positivo).
- d) El valor negativo más grande representable.

Solución del ejercicio 3

- a) 0x00800000
- b) 0x3F7FFFFFFF
- c) 0x7F800000
- d) 0xFF7FFFFFFF

Ejercicio 4: Codifique los siguientes programas usando el lenguaje MIPS32, así como usando sus convenciones para el paso de variables:

- a) Escriba un programa principal que realice una llamada a una rutina denominada *atoi*, imprimiendo el resultado de la rutina por pantalla. La rutina *atoi* convierte una cadena que contiene caracteres numéricos comprendidos entre el carácter '0' y el '9' y devuelve su valor convertido en entero.

Esta rutina recibe un parámetro único parámetro de entrada: una cadena de caracteres numéricos y devuelve un valor entero.

b) Codifique la rutina *atoi*.

NOTA: el carácter '0' tiene el valor ascii 48

Solución del ejercicio 4

a) .data

```
.globl main
```

```
.text
```

```
main:
```

```
    li $a0 cadena
```

```
    jal atoi
```

```
    mv $a0 $v0
```

```
    li $v0 1
```

```
    syscall
```

```
    li $v0 10
```

```
    syscall
```

b) *atoi*:

```
    li $v0, 0
```

```
    move $t0, $a0 #Dirección de la cadena
```

```
    #calcular la longitud de la cadena
```

```
    li $t1, 1
```

```
while_length:
```

```
    lb $t2, ($t0)
```

```
    addu $t0, $t0, 1
```

```
    beqz $t2, end_while_length
```

```
    mul $t1, $t1, 10    # calculamos el valor máximo
```

```
    b while_length
```

```
end_while_length:
```

```
    #calculo del valor
```

```
    move $t0, $a0 #Dirección de la cadena
```

```
    li $t3, 0
```

```
while_atoi:
```

```
    div $t1, $t1, 10
```

```
    lb $t2, ($t0)
```

```
    sub $t2, $t2, 48 # caracter 0
```

```
    mul $t2, $t2, $t1
```

```
    add $t3, $t3, $t2
```

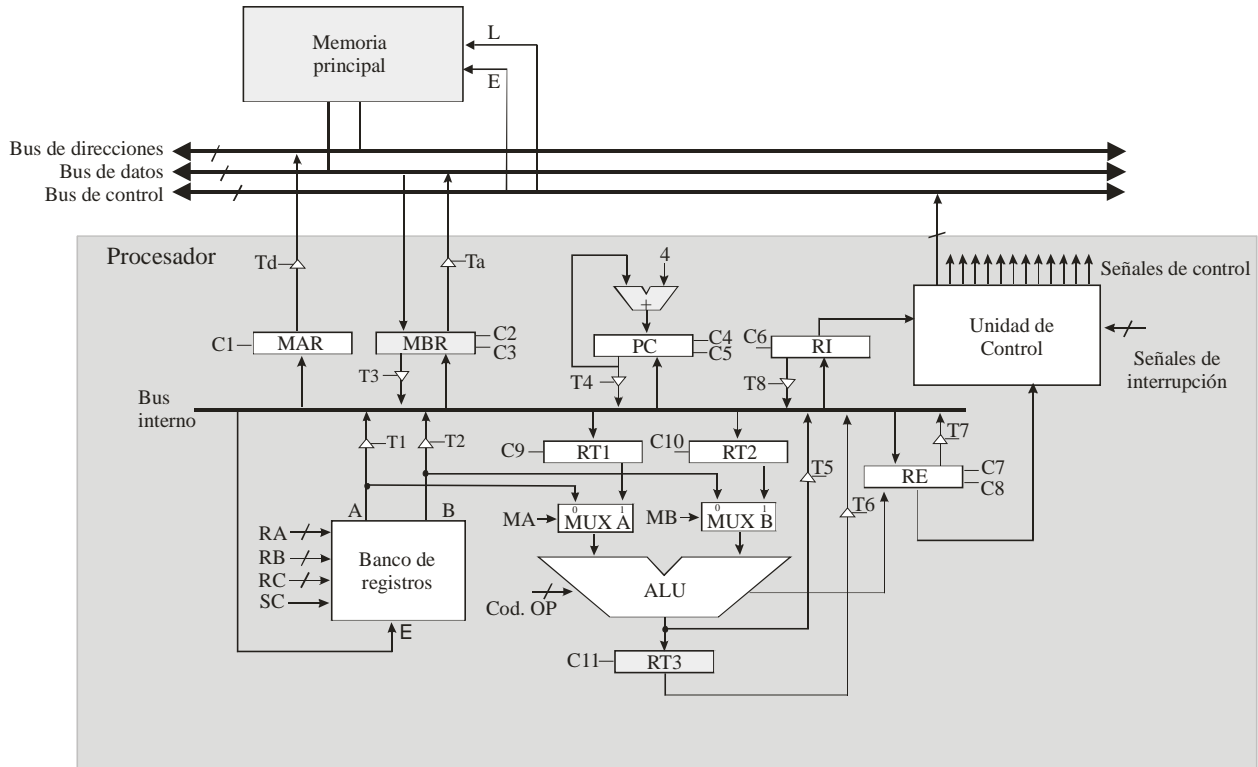
```
    addu $t0, $t0, 1
```

```
    bne $t1, 1, while_atoi
```

```
    move $v0, $t3
```

```
    jr $ra
```

Ejercicio 5. Considere el siguiente esquema de procesador de 32 bits. El banco de registros incluye 32 registros. Considere que el computador utiliza un ciclo de reloj para realizar la decodificación de la instrucción y que las operaciones de lectura y de escritura a memoria requieren un ciclo de reloj.



Entre otras instrucciones, el procesador incluye la siguiente:

lh \$dest, \$orig[desp]

que carga en el registro \$dest, el valor de la semipalabra (2 bytes) especificado almacenado en la dirección de memoria especificada mediante direccionamiento relativo con respecto al registro \$orig. Tenga en cuenta que los dos bytes más significativos del registro \$dest, deben quedar a cero, quedando el valor de la semipalabra en los dos bytes menos significativos.

- Especifique la instrucción a nivel RT.
- Indique las señales de control que se activarán en cada ciclo.

Solución del ejercicio 5

Ciclo de fetch

- | | |
|---------------------------------------|--------------------------------|
| c1: MAR ← PC | T4, C1 |
| c2: PC = PC + 4 | C4 |
| MBR ← MP | Td, L, C2 |
| c3: RI ← MBR | T3, C6 |
| c4: Decodificación | |
| c5: RT2 ← desp | T8, C10 |
| c6: MAR ← R + \$orig | C1, T5, |
| | OP = suma, MA = 0, MB = 1, |
| | RA = \$orig |
| c7: MBR ← MP | Td, L, C2 |
| c8: \$dest ← MBR | T3, RC=\$dest, SC=1 |
| c9: Despl.izq(\$dest,16bits) ← \$dest | MA=0, |
| | OP=desplazar 16 bit izq. , T5, |
| | RC=\$dest, SC=1 |
| c9: Despl.der(\$dest,16bits) ← \$dest | MA=0, |
| | OP=desplazar 16 bit der. , T5, |
| | RC=\$dest, SC=1 |

Ejercicio 6. Se dispone de un sistema con una memoria caché de 2 niveles. En la ejecución de una determinada aplicación, la tasa de aciertos de la caché de nivel 1 es del 85% y la tasa de aciertos de la caché de nivel 2 es del 95%. El tiempo de acceso a memoria principal es de 100 ns. El tiempo de acceso a la caché de nivel 1 es de 4 ns y el tiempo de acceso a la caché de nivel 2 de 10 ns.

Determine el tiempo medio de acceso al sistema de memoria.

Solución del ejercicio 6

$$(0.15 \cdot 4 + 0.05 \cdot 10 + 100) + (0.15 \cdot 4 + 0.95 \cdot 10) + (0.85 \cdot 4) = 114.60$$