

# TEST DE CIRCUITOS INTEGRADOS

Autores:

Enrique San Millán  
Mario García  
Celia López  
Luis Entrena  
Almudena Lindoso  
Marta Portela



## ÍNDICE

- Test de fabricación
- Diseño para test

## Test de fabricación

- Objetivo: Comprobación de que un circuito está correctamente fabricado
- Un porcentaje bajo de chips fabricados son válidos
- Importante repercusión en el coste final del circuito fabricado
- Estrategias
  - Test + diagnosis
  - Sólo test (los chips defectuosos no se pueden arreglar)
    - Selección de los chips válidos
- Tipos de test de fabricación
  - Test paramétrico
  - Test lógico

3

## Test de fabricación

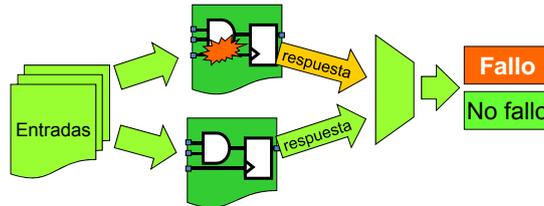
- Test paramétrico: Análisis de características eléctricas
  - Tensiones
  - Capacidades parásitas
  - Potencia disipada
  - Corriente “quiescente” → IDDQ
- Test lógico: Comprobación de la funcionalidad del circuito
  - Automatic Test Equipment (ATE) que aplica conjunto de entradas y analiza las respuestas del circuito
  - Test exhaustivo → N° vectores de test =  $2_{\text{entradas}} * 2_{\text{estados}}$

inviabile

4

## Test de fabricación

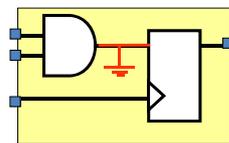
- Modelamos los fallos y los aplicamos a un circuito sin fallo (descripción del circuito → no fabricado)



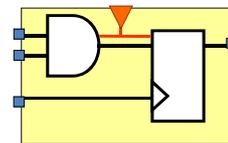
- Aseguramos que un conjunto de vectores de test comprobará un alto porcentaje de esos fallos en el circuito fabricado
- Porcentaje de fallos cubiertos → COBERTURA DE FALLOS

## Test de fabricación

- Modelo *stuck-at*



Stuck-at-0



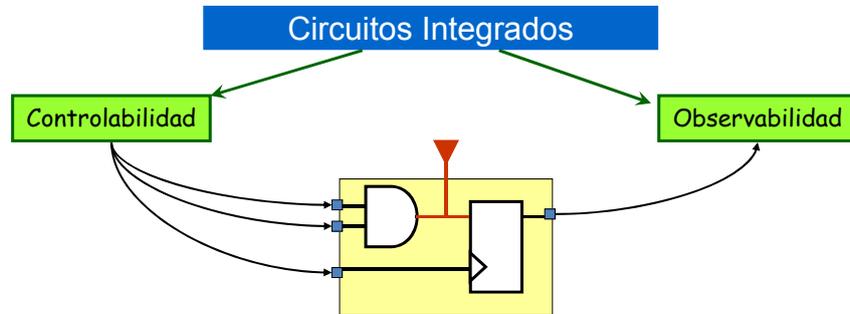
Stuck-at-1

Fallos simples

Fallos posibles

$2 * n^{\circ}$  líneas

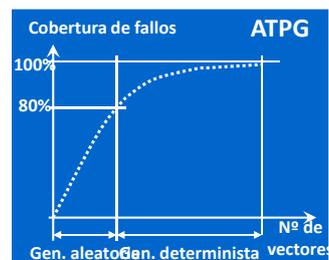
## Test de fabricación



7

## Test de fabricación: Generación de vectores de test

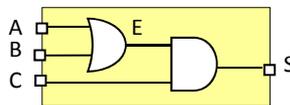
- Objetivo: Obtener un conjunto de vectores de test de alta calidad
- El fabricante de circuitos integrados exige:
  - Un alto porcentaje de cobertura de fallos (>95%)
  - Un número máximo de vectores de test
- La generación de vectores de test se puede hacer:
  - Generación exhaustiva → ¡Inabordable!
  - Generación aleatoria → No se consiguen altas coberturas y el número de vectores es muy elevado
  - Generación determinista (orientada al fallo)
    - Estudio de la topología del circuito
    - Usada en las herramientas de generación de vectores de test (ATPG)



8

### Test de fabricación: Generación de vectores de test

- Generación determinista para circuitos combinacionales:
  - Sensibilización del fallo (valor contrario al fallo a detectar)
  - Justificación de valores hasta las entradas (controlar)
  - Propagación del efecto del fallo hasta las salidas (observar)
  
- Ejemplo: Generar el mínimo número de vectores de test que detecten el máximo número de fallos



### Test de fabricación: Generación de vectores de test

- Ejemplo: Generar el mínimo número de vectores de test que detecten el máximo número de fallos:

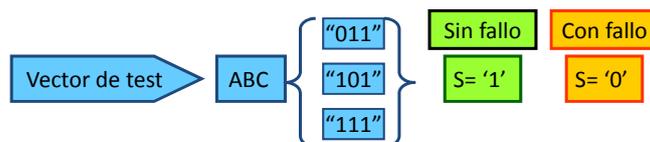
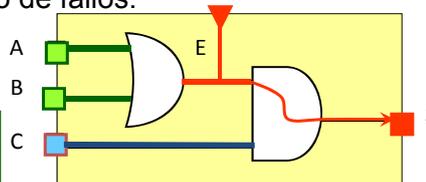
- Fallo stuck-at-0 en E

1. Inserción
2. Justificación
3. Propagación

E = 1

S = E ↔ C = 1

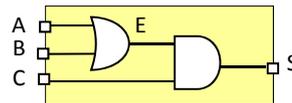
A	B
0	1
1	0
1	1



### Test de fabricación: Generación de vectores de test

- Ejemplo: Generar el mínimo número de vectores de test que detecten el máximo número de fallos:

	A	B	C	E	S	S con fallo
s-a-0-A	1	0	1	1	1	0
s-a-0-B	0	1	1	1	1	0
s-a-0-C	x	1	1	1	1	0
s-a-0-E	x	x	1	1	1	0
s-a-0-S	x	x	1	1	1	0
s-a-1-A	0	0	1	0	0	1
s-a-1-B	0	0	1	0	0	1
s-a-1-C	x	x	0	1	0	1
s-a-1-E	0	0	1	0	0	1
s-a-0-S	0	0	x	0	0	1

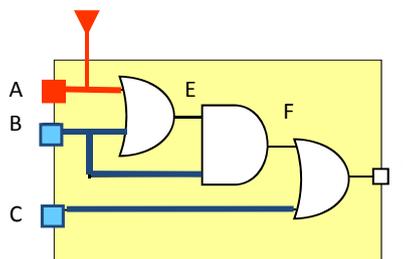
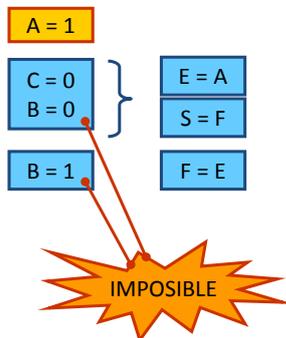


ABC	Detecta
101	s-a-0-A,C,E,S
011	s-a-0-B,C,E,S
001	s-a-1-A,B,E,S
110	s-a-1-C

100% cobertura de fallos

### Test de fabricación: Generación de vectores de test

- Fallos no detectables: Stuck-at-0 en A



Fan-out Reconvergente

## Test de fabricación: Generación de vectores de test

- Clasificación de fallos con ATPG
  - Testable
    - Detectado
    - Abandonado
    - No detectado (otras razones)
  - No testable
    - No utilizado (línea no conectada)
    - "Tied" (línea fijada a un valor lógico)
    - Redundante
  - Otras clases (ctos. secuenciales)
    - No inicializado
    - Oscilante
- Circuitos secuenciales  **Diseño para testabilidad**
  - Es necesaria una secuencia de vectores de test
  - Si no hay estado inicial de reset □ detección del fallo para cualquier estado inicial
  - Mucho más complejo que para circuitos combinacionales

## Diseño para testabilidad

- Objetivo: aumentar la controlabilidad y la observabilidad de los nodos internos del circuito
- En general
  - Aumenta el nº de entradas y el nº de salidas
  - Disminuyen las prestaciones (más área y menos velocidad)
- Aplicaciones:
  - Lógica secuencial vs. lógica combinacional
  - Lógica de control vs. ruta de datos
  - Diseños asíncronos vs. diseños síncronos

## Diseño para testabilidad

### Técnicas de diseño para testabilidad

#### A la medida (ad-hoc)

- No proporcionan solución general
- Menor coste
- Desarrolladas a nivel de PCB aunque pueden aplicarse sobre diseños VLSI

#### Estructuradas

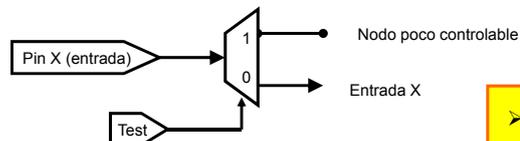
- Proporcionan metodología de diseño para la solución del problema de testabilidad
- Permiten realizar las tareas de ATPG y simulación de fallos con costes aceptables

15

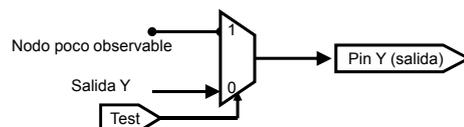
## Diseño para testabilidad: soluciones ad-hoc

### Nodos poco testables (puntos de test)

#### Aumento de la controlabilidad



#### Aumento de la observabilidad

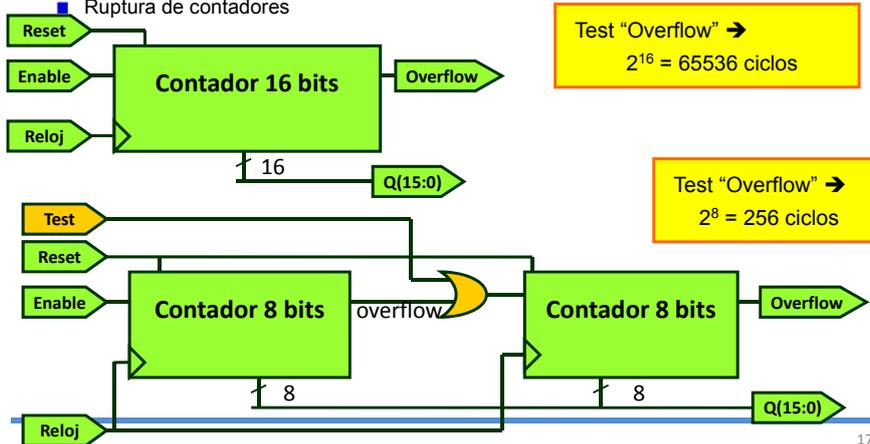


- Deben ser pines poco usados
- Nunca deben ser pines críticos: reloj, reset, chipselect, etc.

16

## Diseño para testabilidad: soluciones ad-hoc

- Circuitos secuenciales
  - Inicialización + lógica síncrona + evitar lógica redundante
  - Ruptura de contadores



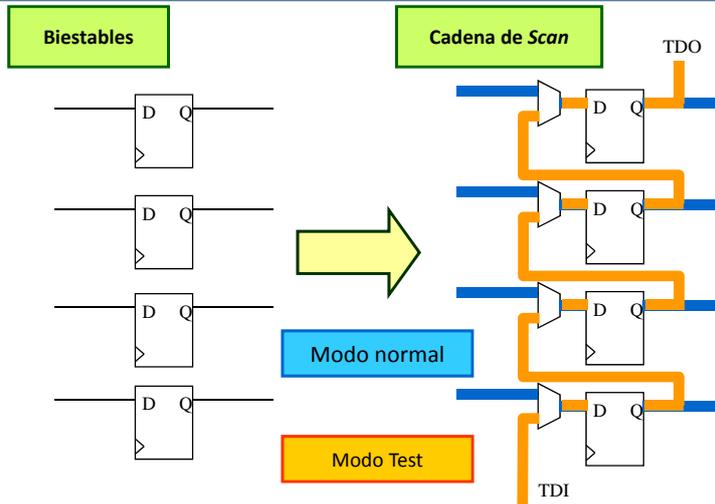
17

## Diseño para testabilidad: técnicas estructuradas

- Válidas para circuitos síncronos con un único flanco de reloj
- Convierten el problema de test de un circuito secuencial en el test de uno combinacional
- Afectan a las prestaciones (área y frecuencia máxima de funcionamiento)
- El circuito tiene dos modos de funcionamiento: TEST y NORMAL
- Existen herramientas CAD que insertan automáticamente las estructuras de test y generan los vectores de test
- Las más utilizadas
  - Scan-Path (Camino de rastreo)
  - Boundary Scan (Rastreo periférico)
  - Built-In Self-Test (BIST) Circuitos secuenciales

18

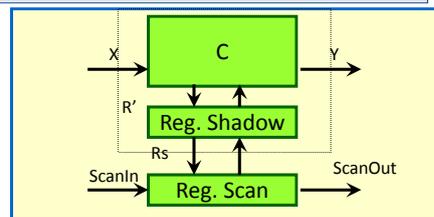
## Diseño para testabilidad: Scan-Path



19

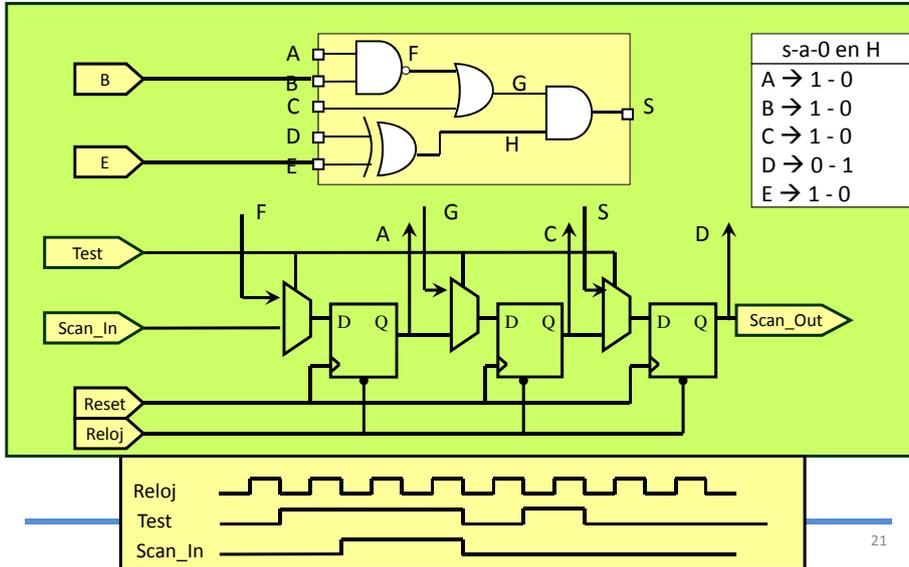
## Diseño para testabilidad: Scan-Path

- Tipos:
  - Full serial integrated scan
  - Isolated serial scan
  - Isolated scan con registro shadow
- Ventajas
  - Generación de vectores de test como para circuito combinacional
  - Aplicación de vectores de test más rápida y sencilla
  - Aumento de la observabilidad y la controlabilidad
- Inconvenientes
  - Aumento del área (1 multiplexor por biestable + 3 señales adicionales)
  - Entrada/salida serie □ El número de vectores de test "aumenta"
  - Sólo válido para biestables activos por flanc

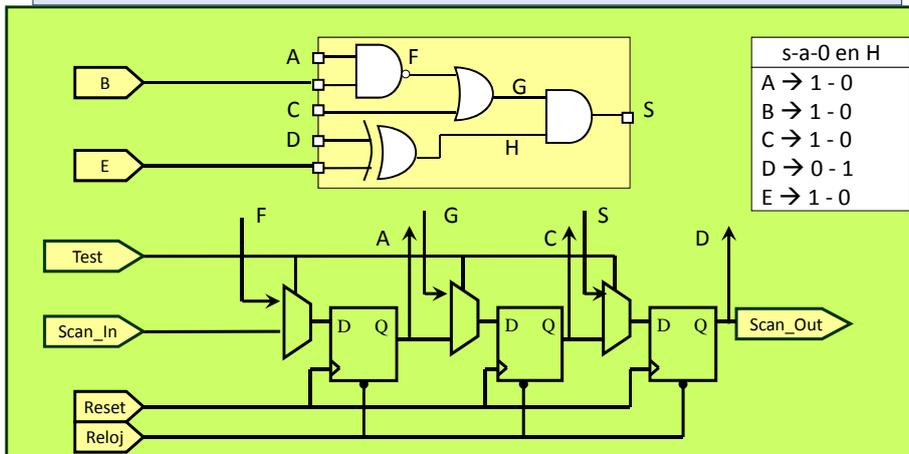


20

### Diseño para testabilidad: Scan-Path



### Diseño para testabilidad: Scan-Path



¿Nº ciclos sin Scan Path?