

INTRODUCCIÓN A LOS CIRCUITOS INTEGRADOS

*Luis Entrena Arrontes
Celia López
Mario García
Enrique San Millán
Marta Portela
Almudena Lindoso*



Índice

☞ 1.1 Los circuitos integrados. Ventajas e inconvenientes sobre los circuitos no integrados.

- Implementación de circuitos digitales
- Ventajas de los C.I.
- Ley de Moore

☞ 1.2 El proceso de diseño de un circuito integrado. Niveles de abstracción

- Metodologías ascendentes y descendentes (bottom-up, top-down)
- Proceso de diseño: etapas y herramientas
- Niveles de abstracción: Y de Gajski-Kuhn

Implementación de Circuitos Integrados (I)

- ☞ **Componentes discretos (estándar)**
 - ☐ 74xx, 54xx
- ☞ **Circuitos integrados**
 - ☐ ASIC: Application Specific Integrated circuit
- ☞ **Circuitos programables**
 - ☐ PLD, SPLD: (Simple) Programmable Logic Devices
 - ☐ CPLD: Complex Programmable Logic Devices
 - ☐ FPGA: Field Programmable Gate Array
- ☞ **Microprocesadores**

Implementación de Circuitos Integrados (II)

- ☞ **Sistemas microprocesadores**
 - ☐ Microprocesador y componentes adicionales (componentes estándar)
 - ☐ SoC: System on Chip (ASIC)
 - ☐ SoPC: System on Programmable Chip (FPGA)

Ventajas de los Circuitos Integrados

- ☞ **Tamaño: pequeño**
- ☞ **Velocidad: muy alta**
 - ☐ Tarjeta: $f < 100$ MHz
 - ☐ FPGA: 500 MHz
 - ☐ ASIC: $f < 3$ GHz
- ☞ **Coste: depende del número de unidades que se fabriquen**
 - ☐ Coste inicial: diseño y prototipado (100.000€)
 - ☐ Coste por pieza: 1-200€
 - ☐ Rentables para grandes tiradas (>10.000 piezas/año)
- ☞ **Fiabilidad: alta; más inmunes al ruido**
- ☞ **Consumo: bajo**

Ley de Moore (co-fundador de Intel)

- ☞ **El número máximo de transistores que se pueden integrar en un C.I. se dobla cada dos años (20 meses)**

CPU Transistor Counts 1971-2008 & Moore's Law

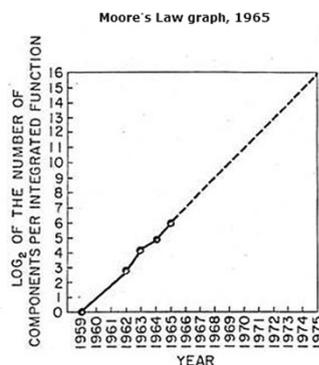
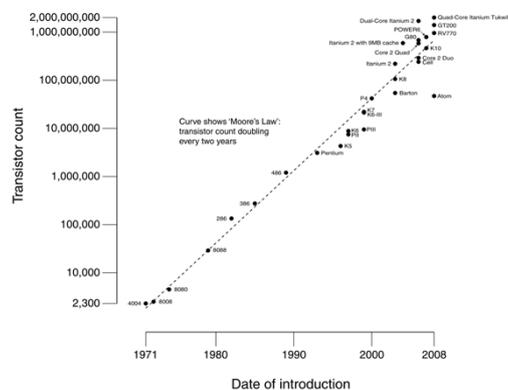


Fig. 2 Number of components per integrated function for minimum cost per component extrapolated vs time.



Niveles de abstracción

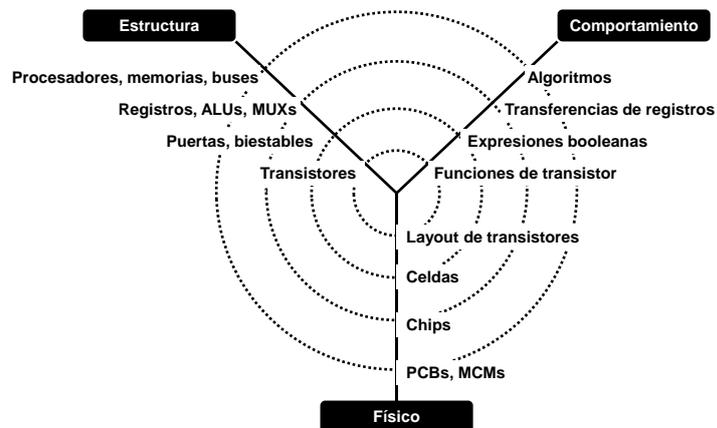
☞ Niveles:

- Sistema
- Algoritmo
- Transferencia de registros (RTL)
- Lógico (puertas)
- Físico (transistores)

☞ Dominios:

- Comportamental
- Estructural
- Físico

Niveles de abstracción: Y de Gajski-Kuhn



Proceso de diseño

☞ Metodología ascendente (bottom-up)

- Especificación
- Partición en bloques
- Diseño con puertas lógicas (esquemáticos)
- Ensamblaje de bloques
- Diseño físico

Obsoleta

☞ Tecnología descendente (top-down)

- Especificación
- Diseño arquitectural
- Diseño detallado
- Diseño físico

- Utiliza lenguajes de descripción de hardware (HDL)
- Utiliza intensivamente la simulación y síntesis automática

Proceso de diseño de circuitos integrados

☞ Especificación funcional

- Descripción del sistema, cronogramas

☞ Diseño arquitectural

- Diseño RT (registros, buses, máquinas de estados...)

☞ Diseño detallado

- Síntesis automática
- Diseño lógico (puertas, biestables, ...)

☞ Diseño físico

- Transistores, place & route

☞ Fabricación y test o programación

☞ Puesta en marcha

Herramientas automáticas

Herramientas de diseño

☞ Simulador

- Descripciones funcionales
- Descripciones RTL (sintetizables)
- Lista de puertas
- Con retardos

☞ Sintetizador

- Transforma descripciones RTL en listas de puertas
- Optimiza la lógica en área y/o velocidad
- Proporciona retardos de puertas

☞ Place & Route

- Emplaza puertas y las interconecta
- Extrae retardos de las interconexiones

Utilidad de los lenguajes de descripción de hardware

☞ Los lenguajes de descripción del hardware nos permiten:

- Diseñar a un mayor nivel de abstracción
- Simular el diseño para validar su funcionamiento
 - ✓ La simulación es más eficiente cuando se realiza en un nivel de abstracción mayor
- Sintetizar el diseño para obtener una implementación óptima, según el objetivo:
 - ✓ Área
 - ✓ Tiempo

☞ Imprescindibles en el diseño moderno con:

- Diseños de alta complejidad (>10K puertas)
- Diseño sobre ASIC o CPLD/FPGA