

UNIVERSIDAD CARLOS III DE MADRID



Ejercicios de test de CIs

Circuitos Integrados y Microelectrónica

Enrique San Millán

Mario García

Luis Entrena

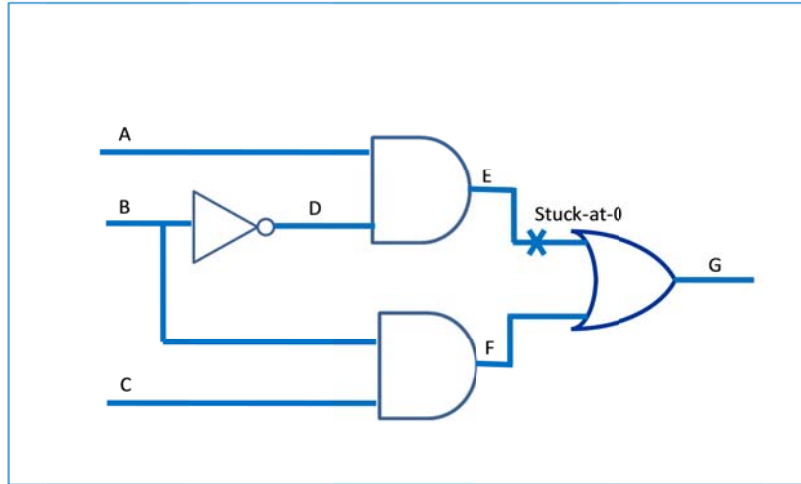
Celia López

Almudena Lindoso

Marta Portela

Ejercicio 1

Para el circuito de la figura:

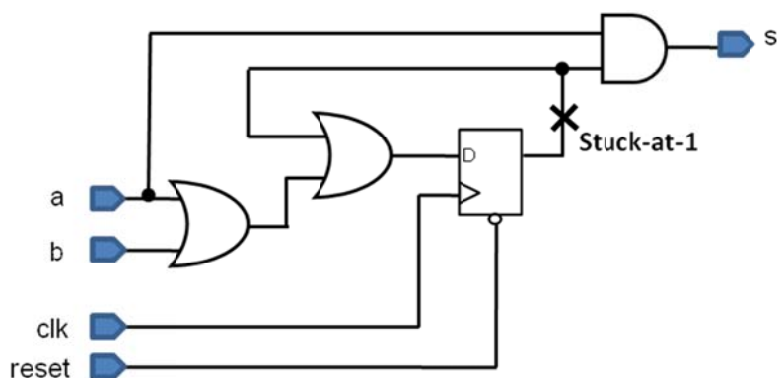


- Encuentre un vector de test que detecte el fallo E stuck-at-0.
- ¿Cuál es la cobertura de fallos que proporciona este vector de test?
- Añada más vectores (el menor número posible) para obtener la máxima cobertura posible. ¿Cuántos vectores son necesarios y cuál es la cobertura que proporcionan?
- ¿Hay algún fallo no detectable en el circuito? Describa posibles soluciones para incrementar la cobertura en aquellos circuitos con fallos no detectables.

Considere que todas las líneas que parten de B como una única línea a efectos de inserción de fallos.

Ejercicio 2

Considere el siguiente circuito:

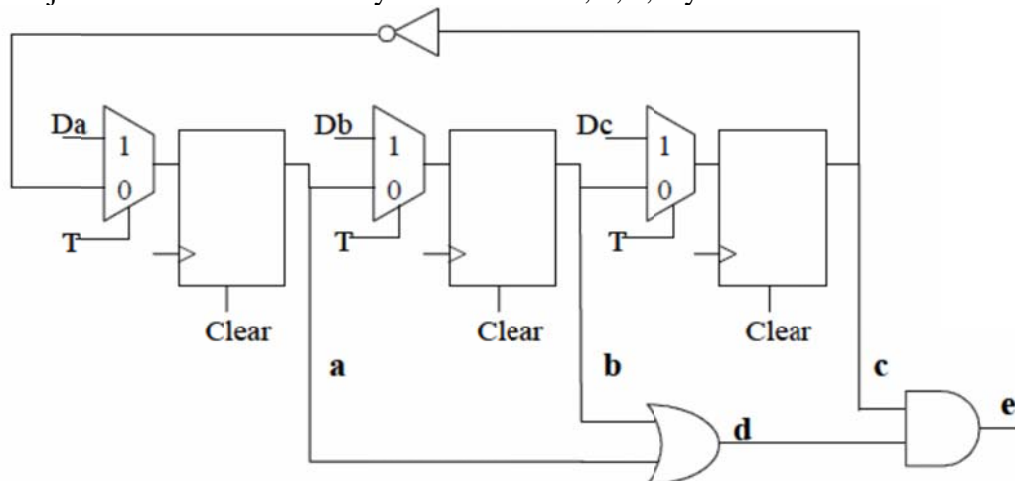


- Especifique todas las condiciones necesarias para detectar el fallo stuck-at-1 indicado en el circuito (observándolo en la salida s del circuito).
- Dibuje un cronograma con las condiciones necesarias para detectar el fallo stuck-at-1 indicado en el circuito.

Ejercicio 3

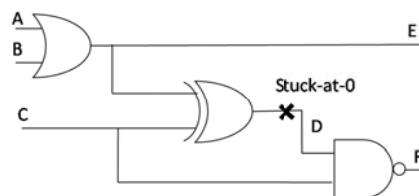
En la figura adjunta se muestra un circuito al que se ha dotado de una capacidad de autotest, la cual consiste en que en modo de test ($T=0$) los biestables generan automáticamente una secuencia de vectores para probar el circuito combinacional que hay a su salida. Se pide:

- Determine la secuencia de vectores de test que se produce en modo de test. Suponga que antes de activar el modo de test se inicializan los biestables a 0 por medio de la entrada Clear
- Determine la cobertura de fallos que tiene esta secuencia de vectores de test para el conjunto de fallos stuck-at 0 y stuck-at 1 en a, b, c, d y e.



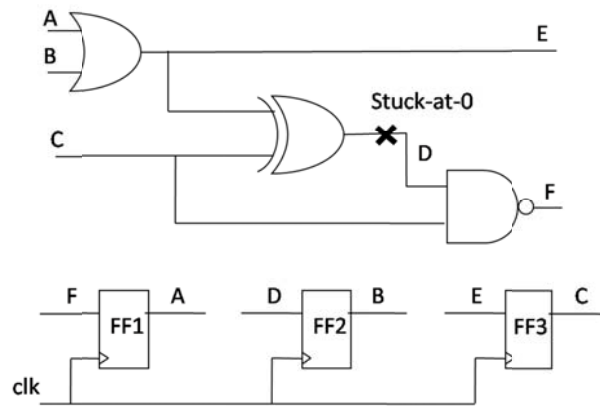
Ejercicio 4

Considere el siguiente circuito combinacional con entradas A, B, C y salidas E, F:



- Obtenga un vector de test (A,B,C) que permita detectar el fallo D stuck-at-0

Considere ahora el siguiente circuito secuencial, en el que **la única salida es E**:



- b) Añada una estructura de scan-path en este circuito, conectando la entrada scan_in en FF1 y la salida scan_out en FF3.
- c) Dibuje un cronograma donde se muestre un test del circuito que permita detectar el fallo stuck-at-0 en D