

NOMBRE Y APELLIDOS:

GRUPO:

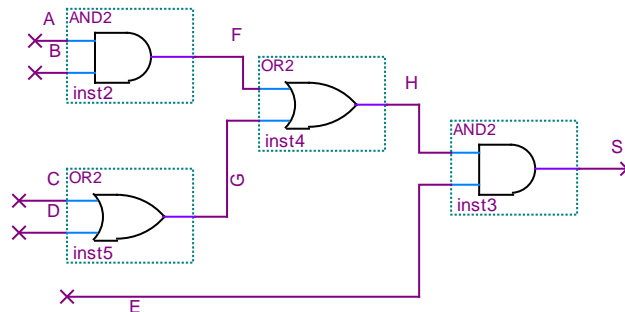
Cuestión 1 (1,75 pts)

La difusión y la implantación iónica son procesos utilizados para la fabricación de circuitos integrados.

- Describa en qué consisten ambos procesos y para qué se utilizan.
- Indique qué ventajas o inconvenientes presentan al compararse entre sí.

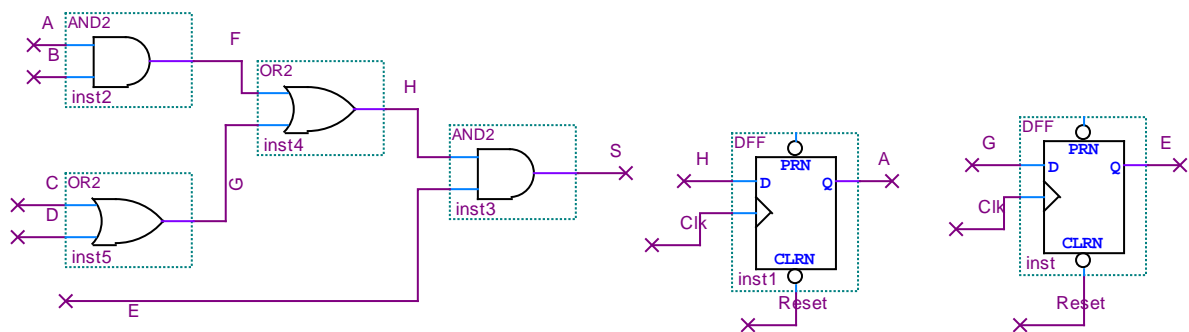
Cuestión 2 (2,75 pts)

a) Obtenga un vector de test capaz de detectar un fallo de tipo stuck-at 0 en el nodo F del siguiente circuito combinacional.



b) ¿Qué cobertura de fallos se obtiene con el vector de test calculado en el apartado anterior? ¿Qué número mínimo de vectores de test habría que incluir para obtener una cobertura del 100%? Indíquelos.

c) Considere ahora el siguiente circuito:

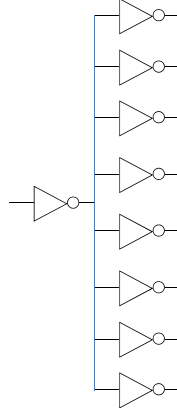


Añada una estructura de scan-path con toda la lógica necesaria.

d) Para el circuito del apartado c), dibuje el cronograma donde se muestre el test del fallo stuck-at 0 en F. Dicho cronograma debe representar los valores para las entradas y salidas necesarias para realizar el test. Indique en el cronograma qué porciones del mismo se corresponden con las distintas etapas del test.

Cuestión 3 (2.75 pts)

- a) Considere el siguiente circuito, en el que todos los inversores son de tamaño estándar, y los inversores que están a la salida tienen el retraso estándar de un inversor (t_{pi}).



Modifique el circuito, sin cambiar el tamaño de los transistores, para obtener el menor retardo posible en el camino crítico del circuito (camino de mayor retardo), intentando para ello añadir el menor área posible.

- b) Se quiere optimizar el retraso que sufre una señal a la salida de un circuito integrado que tiene una elevada carga. La carga equivalente que sufre el pin de salida es 5000 veces la carga elemental. Para conseguir esta reducción se incluye una cadena de 5 búferes de tamaño creciente en ancho de canal (W), con la siguiente secuencia:

$$W, 3W, 5W, 7W, 9W$$

1. Calcule el retardo (en función del retardo de un inversor elemental) que presenta la señal antes y después de incluir la cadena de búferes.
2. Calcule el incremento de área (en función del tamaño de un inversor elemental A_i) de esta solución.
3. Obtenga el retardo que se obtendría con la solución óptima, y calcule el incremento de área necesaria para dicha solución.

	Retardo	Incremento de área
Inicial		-
$W, 3W, 5W, 7W, 9W$		
Solución óptima		

Nota: la solución debe incluir esta tabla con las soluciones.

Cuestión 4 (2.75 pts)

Para el layout de la Fig. 1 se pide:

- a) Obtener el esquema de transistores que representa.
- b) Represente con puertas lógicas el circuito obtenido indicando a qué conjunto de transistores corresponde cada parte.
- c) Dibuje la sección transversal del layout en la línea MN.

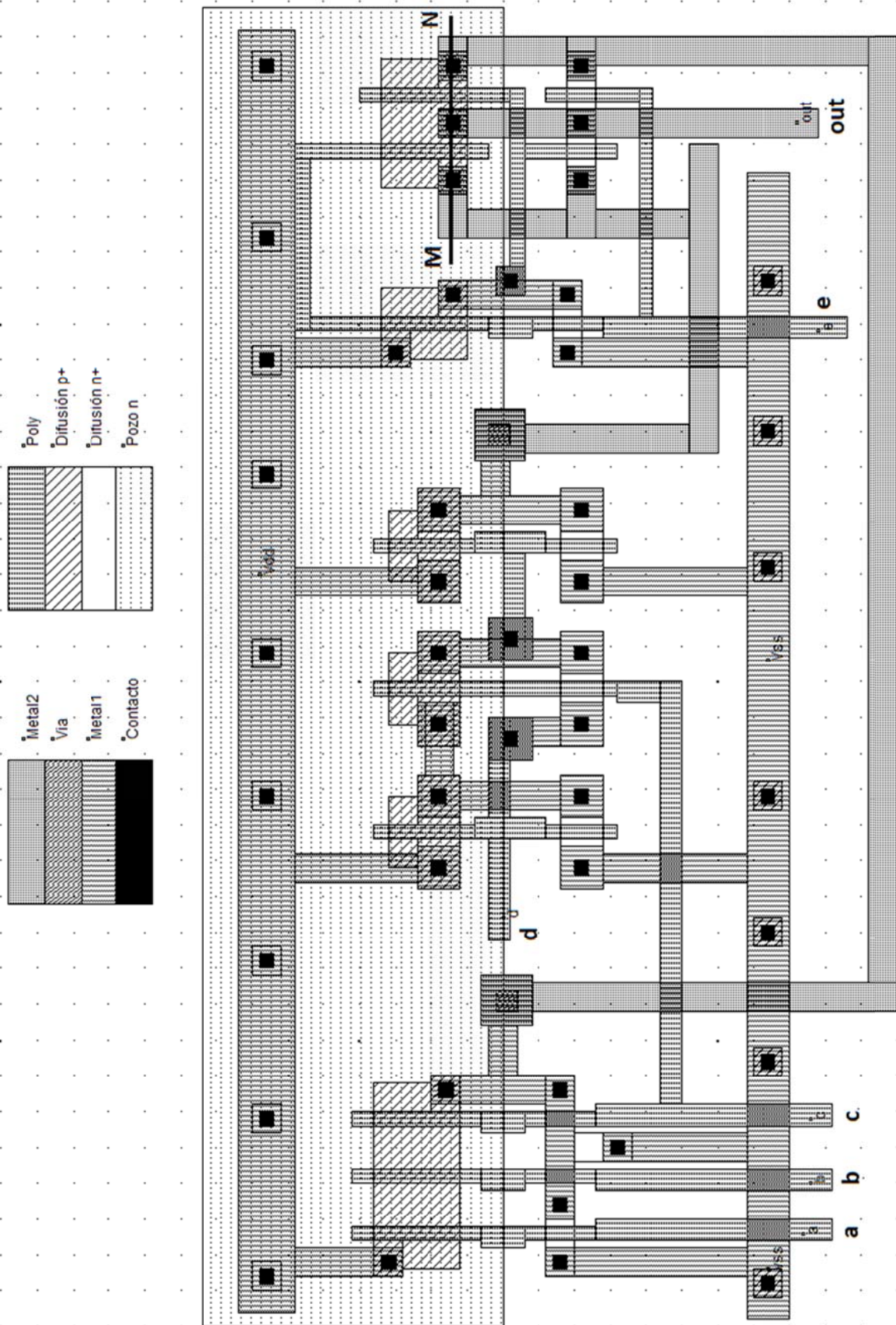


Fig. 1