

UNIVERSIDAD CARLOS III DE MADRID



Fabricación y encapsulado de circuitos integrados

Circuitos Integrados y Microelectrónica

Luis Entrena

Enrique San Millán

Mario García

Celia López

Almudena Lindoso

Marta Portela

1. Fabricación y encapsulado de circuitos integrados

1.1 Principales procesos involucrados en la fabricación de circuitos integrados

1.1.1 Preparación de la oblea (“wafer”)

El procedimiento habitual para la obtención de la oblea Si es el método de Czochralski. En un recipiente se dispone Si fundido de gran pureza. Un pequeño cristal de Si (semilla) se pone en contacto con el Si fundido, de forma que los átomos de Si se solidifican en torno a la semilla adoptando su estructura cristalina. El cristal se va extrayendo lentamente con un lento movimiento de rotación para reducir los gradientes de temperatura. Normalmente se añade una pequeña cantidad de un dopante al Si fundido para conseguir que la oblea tenga un dopaje inicial determinado.

El lingote de Si solidificando tiene unas dimensiones que han ido creciendo con el tiempo y que típicamente pueden llegar hasta un diámetro de 150 mm y una longitud de hasta 2 m. Las obleas se obtienen cortando el lingote en rebanadas. Posteriormente las obleas se pulen mediante una combinación de abrasión física y química hasta conseguir una superficie de elevada calidad y planaridad. El espesor típico de la oblea resultante es inferior a 1mm.

Las obleas llevan uno o dos cortes laterales. El más largo o principal indica la dirección del cristal, la cual se determina mediante técnicas de rayos X. El secundario, generalmente más corto, indica la orientación (100 o 111) y el tipo de dopaje (p o n).

1.1.2 Oxidación

La oxidación del Si produce SiO_2 . El óxido de Si juega un papel fundamental en la fabricación de circuitos integrados, ya que realiza las siguientes funciones principales:

- a) Es un excelente aislante que permite separar los diferentes materiales conductores
- b) Actúa de barrera para la difusión o la implantación de dopantes
- c) Es un componente del propio transistor MOS, ya que forma el dieléctrico que separa la puerta del canal del transistor.

La oxidación puede ser seca o húmeda. La oxidación seca se realiza en presencia de oxígeno, mientras que la oxidación húmeda se realiza en presencia de vapor de agua. En ambos casos se realiza a altas temperaturas (950-1250°C). La oxidación seca es más lenta, pero produce un óxido de mayor pureza.

1.1.3 Difusión

El objetivo de la difusión es crear zonas con dopajes determinados. Para ello se somete a la oblea a altas temperaturas en presencia de un dopante (B para tipo p; P, As, Sb para tipo n) que está típicamente en fase gaseosa o líquida.

La difusión no sólo se produce verticalmente, sino también lateralmente, siendo ambas difusiones de magnitudes comparables. El efecto de la difusión lateral es que la dimensión efectiva de la zona dopada es mayor que la de la ventana abierta para que penetre el dopante. A medida que las tecnologías disminuyen de tamaño, la difusión lateral se convierte en un efecto no deseado cada vez más importante.

Otra característica de la difusión es que produce una concentración de impurezas no uniforme.

1.1.4 Implantación iónica

La implantación iónica es un proceso alternativo a la difusión para la creación de zonas dopadas. La zona que se va a dopar se bombardea con iones provenientes de una fuente, los cuales son acelerados por un campo electromagnético. La estructura cristalina de la zona bombardeada se deteriora, de forma que generalmente el sustrato en esa zona se transforma en Si amorfo. Posteriormente al bombardeo se calienta la oblea para que la región implantada recupere una estructura cristalina en la que los dopantes introducidos por implantación iónica sustituyen a átomos de Si en la red cristalina.

La implantación iónica tiene las siguientes ventajas sobre la difusión:

- a) proporciona una concentración de impurezas mucho más homogénea
- b) La difusión lateral es muy pequeña
- c) Los iones pueden atravesar barreras de óxido, si son finas, y llegar al sustrato.

1.1.5 Crecimiento epitaxial y deposición

El crecimiento epitaxial consiste en recrear una película de un material sobre la superficie de la oblea (“epi”: por encima). El método más utilizado de crecimiento epitaxial es el denominado “Chemical Vapour Deposition” (CVD). Este método se basa en la descomposición térmica de compuestos de Si, tales como silano SiH_4 o hidroclouros de Si. Como resultado de esta descomposición el Si se deposita sobre la superficie de la oblea creando una película cuyo grosor depende del tiempo de exposición.

Si la deposición se produce sobre un sustrato de Si cristalino, el Si depositado crece “copiando” la estructura cristalina del sustrato, el cual actúa como semilla. Si la deposición se produce sobre otro material (por ejemplo, SiO_2), entonces el Si adquiere una forma policristalina (no tiene la estructura de un monocristal, sino la de múltiples agregados cristalinos) denominada *polisilicio*, o abreviadamente “*poly*”. El polisilicio es un material esencial en la fabricación actual de transistores MOS, ya que es el elemento constitutivo del terminal de puerta. Esto se debe a dos propiedades de gran importancia:

1. Al ser un semiconductor, el polisilicio presenta una elevada resistividad. Sin embargo, convenientemente dopado, el polisilicio es un conductor aceptable (aunque no tan bueno como un metal)
2. El polisilicio actúa como barrera para la difusión o implantación de impurezas, lo que permite crear transistores MOS de enriquecimiento con gran precisión mediante un proceso de dopado denominado “autoalineado”. En este proceso se dopan los terminales de drenador y fuente mientras el canal queda enmascarado por el polisilicio.

El crecimiento epitaxial se puede utilizar también para depositar SiO_2 cuando no es posible obtenerlo por oxidación del Si de la oblea (por ejemplo, para aislar capas intermedias o para la pasivación final).

1.1.6 Metalización

El metal que forma las interconexiones, los contactos y las vías se deposita mediante “Physical Vapour deposition” (PVD) o CVD. PVD consiste en evaporar el metal o bombardearlo con iones de forma que las partículas de metal se desprenden y caen sobre la superficie de la oblea. Los patrones de metal se obtienen mediante un proceso fotolitográfico como el que se utiliza para otros materiales.

El metal más utilizado es el Al por su baja resistividad. Otros materiales tales como Cu, siliciuros de metales o aleaciones de Al-Si-Cu se utilizan también para mejorar las características de las interconexiones.

1.1.7 Fotolitografía

La fotolitografía es el mecanismo que permite aplicar los diferentes procesos estudiados selectivamente sobre la superficie de la oblea. El proceso fotolitográfico consiste en los siguientes pasos:

1. Se cubre la superficie de la oblea con una fina capa de un material sensible a la luz, denominado fotoresina. Este material sufre un cambio en sus propiedades físicas y químicas (polimerización) cuando se expone a la luz.
2. Se ilumina la oblea, típicamente con luz UV, a través de una máscara que deja pasar la luz selectivamente. De esta forma, las zonas expuestas sufren el cambio físico-químico mencionado anteriormente.
3. Mediante un agente químico selectivo (revelador) se elimina el material polimerizado. De esta forma, el patrón de la máscara se ha reproducido sobre la superficie de la oblea, abriendo una ventana a través de la cual queda expuesta la superficie de la oblea.
4. Se elimina ahora el material expuesto en la ventana (SiO_2 o metal) mediante un ataque químico. La fotoresina presente protege las zonas no expuestas al no ser sensible a este ataque químico.

Las fotoresinas pueden ser positivas o negativas. Con una fotoresina positiva se elimina el material polimerizado expuesto a la luz, de forma que la ventana que se abre se corresponde con la máscara. Con una fotoresina negativa se elimina la parte no expuesta a la luz, de forma que la ventana que se abre corresponde al “negativo” de la máscara.

La fotolitografía es el proceso clave en la fabricación de circuitos integrados, ya que el tamaño de los transistores depende de la resolución que se pueda alcanzar en este proceso. A su vez, para alcanzar una alta resolución es necesario utilizar una longitud de onda de luz muy pequeña, así como fotoresinas y agentes químicos de muy alta calidad. En la práctica, la iluminación se realiza con luz UV o con haz de electrones.

1.2 El proceso de fabricación de un circuito CMOS

1.2.1 El proceso de fabricación de un transistor MOS¹

1.2.2 El proceso de fabricación de un inversor CMOS. Procesos de un pozo y de doble pozo (“twin tub”)²

1.3 Fabricación de componentes pasivos integrados

1.3.1 Resistencias integradas

Tipos de resistencias:

- poly
- difusión o implantación iónica
- película delgada

1.3.2 Condensadores integrados

Tipos de condensadores:

- poly-poly
- poly-difusión

1.4 Encapsulado y montaje de circuitos integrados³

1.4.1 Funciones del encapsulado en los circuitos integrados. Importancia del encapsulado

Una vez fabricado y pasivado el dado (“die”) es necesario encapsularlo. El encapsulado tiene varias funciones muy importantes que son las siguientes:

- Proteger el circuito del ambiente exterior, principalmente frente a la humedad que puede producir la corrosión de las metalizaciones
- Disipar eficazmente el calor generado dentro del chip, para lo cual debe emplearse un material que tenga una baja resistencia térmica.
- Realizar la interconexión entre los pads del chip y los pines exteriores, los cuales deben tener un tamaño manejable para su interconexión en la placa y a la vez una capacidad que no limite la velocidad de funcionamiento del circuito.

Estas funciones, aparentemente sencillas, no son fáciles de conseguir. El coste del encapsulado puede suponer un porcentaje importante (superior al 50% en algunos casos) del coste total del circuito, especialmente si el consumo del circuito es elevado.

¹ Transparencias

² Transparencias

³ Herbst 2.6

1.4.2 Tipos de encapsulados

Dependiendo del tipo de material utilizado, los encapsulados pueden ser plásticos o cerámicos. Los encapsulados plásticos son más baratos, pero tienen mayor resistencia térmica y proporcionan menor aislamiento frente a la humedad. Los encapsulados cerámicos son más caros, pero disipan mejor el calor y proporcionan un sellado hermético.

Las características principales que diferencian unos encapsulados de otros son:

- dimensiones
- material del encapsulado (plástico o cerámico)
- máximo número de pines
- espaciado entre pines (“pitch”)
- modo de montaje: por taladro (“through-hole”, TH) o superficial (“surface mounted”, SM)
- resistencia térmica

En la tabla siguiente se enumeran los tipos de encapsulados más comunes y algunas de sus características principales:

Tipo de encapsulado	Nº de pines	Montaje
Dual-In-line (DIP)	8-64	TH
Single-In-line (SIP)	5-40	TH
Zig-zag-In-line (ZIP)	14-28	TH
Quad-In-line (QUIP)	14-64	TH
Small Outline (SO, SOIC) Shrunk Small Outline (SSOP)	8-32	SM
Leaded Chip Carrier (LCC) Plastic Leaded Chip Carrier (PLCC)	16-200	SM (TH a través de zócalo)
Flat Pack (FP) Quad Flat Pack (QFP) Ceramic Quad Flat Pack (CQFP) Plastic Quad Flat Pack (PQFP) Thin Quad Flat Pack (TQFP) Fine Pitch Quad Flat Pack (FQFP)	10-300	SM
Pin Grid Array (PGA) Plastic Pin Grid Array (PPGA) Ceramic Pin Grid Array (CPGA)	68-500+	TH
Ball Grid Array (BGA)	500+	SM

1.4.3 Módulos multi-chip (MCM). Tipos de módulos multi-chip

Un módulo multi-chip o MCM (“Multi-Chip Module”) es un tipo de encapsulado en el cual varios circuitos integrados (“bare chip”) se montan sobre un sustrato común y se encapsulan conjuntamente.

Las principales ventajas que proporciona un MCM son las siguientes:

- Reducción de las distancias de interconexión entre distintos chips, lo que favorece la velocidad y la miniaturización
- Aumento de la fiabilidad
- Reducción del peso, que además aumenta la fiabilidad mecánica (golpes, vibraciones, etc...)

Existen varios tipos de tecnologías MCM, que se diferencian en el tipo de sustrato utilizado para el montaje de los chips:

- MCM-L. Sustrato basado en tecnología PCB *laminado* multicapa. Básicamente es como una placa de circuito impreso de línea fina.
- MCM-C. Sustrato de tipo *cerámico*
- MCM-D: Dieléctricos o conductores depositados sobre un sustrato, que puede ser de silicio, cerámico o metal. La deposición se realiza con técnicas similares a las que se usan en la fabricación de circuitos integrados, por lo que se conocen también con el nombre de MCMs de capa fina. Los materiales que se depositan son óxido de silicio o poly (dieléctricos) y metales (conductores)

MCM-D es la tecnología que proporciona mejores prestaciones y densidad de rutado, pero es también la más cara. En el otro extremo, MCM-L es la más barata, pero da las peores prestaciones y densidad de las tres. MCM-C es intermedia en términos de prestaciones y coste.

Características	MCM-L	MCM-C	MCM-D
Densidad de líneas (cm/cm ²)	30	20-40	200-400
Anchura de líneas (µm)	750	125	10
Separación (µm)	2250	125-375	10-30

1.5 Circuitos integrados de aplicación específica. Tipos y características

Los circuitos integrados de aplicación específica (ASICs) se pueden clasificar en dos grandes grupos, atendiendo a la forma en la que se diseñan:

- “*full custom*” o simplemente “*custom*”. Completamente diseñados y fabricados a medida. El coste de diseño y fabricación de los prototipos es muy elevado, por lo que solo tiene sentido para circuitos fabricados en grandes volúmenes, como en el caso de los productos estándar (productos que no están dirigidos a una aplicación específica)
- “*semicustom*”. Parcialmente prediseñados y/o parcialmente prefabricados. De esta forma se abarata el coste de los prototipos mediante la reutilización de partes del diseño (parcialmente prediseñados) o de las máscaras de fabricación (parcialmente

prefabricados). En contrapartida, las características del circuito en cuanto a área, retrasos, etc... son peores que en un circuito “full custom”, ya que los componentes prediseñados o prefabricados imponen restricciones al diseño.

Los circuitos semicustom se pueden clasificar en:

Celdas Estándar (“Standard Cell”)

Son circuitos parcialmente prediseñados que se caracterizan por que los componentes elementales, tales como puertas o biestables, están prediseñados. Estos componentes están organizados en bibliotecas, de forma que el diseñador sólo tiene que seleccionar los componentes que quiere usar. Por otra parte, permiten un tratamiento sistemático, por lo que es un método de diseño muy apropiado para ser usado con herramientas de síntesis automática.

La ventaja de las celdas estándar es que el diseñador no tiene que diseñar cada puerta lógica, mientras que el inconveniente es que si se necesita una puerta lógica de características especiales (por ejemplo, una puerta extraordinariamente rápida) puede que no esté disponible en la biblioteca.

Matriz de puertas (“Gate Array”) y Mar de puertas (“Sea of Gates”).

Son circuitos parcialmente prefabricados. En concreto, todos los transistores están prefabricados a excepción de algunas o todas las capas de metal. Las obleas con los transistores se fabrican en grandes cantidades, con precios muy económicos, y pueden servir para realizar cualquier circuito. Para fabricar un circuito en particular solamente es necesario realizar las máscaras de metalización y aplicarlas sobre la oblea que contiene los transistores prefabricados.

La diferencia entre las tecnologías Gate Array y Sea of Gates se aprecia en la transparencia. Un Gate Array presenta filas de transistores intercaladas por espacios, denominados *canales de rutado*, que son zonas libres que se dejan para efectuar las interconexiones. En la periferia del circuito se ubican bloques de E/S que contienen los “pads” y la circuitería asociada. En la tecnología Sea of Gates, más moderna, todo el área del circuito está ocupada por transistores prefabricados. Las interconexiones se realizan por encima de los transistores, los cuales pueden llegar a quedar inutilizados por este motivo. No obstante, la tecnología Sea of Gates proporciona una mayor flexibilidad de rutado.

En resumen, la ventaja de estas tecnologías es la reducción de costes que se obtiene al partir de obleas con los transistores prefabricados. De nuevo, el inconveniente es la limitación en el diseño, ya que todos los transistores tienen las mismas características.

Circuitos basados en macroceldas

En los modernos circuitos integrados de gran complejidad, y particularmente en los denominados System-on-Chip (SoC), es habitual utilizar combinaciones de diferentes técnicas. Estos circuitos pueden contener:

- Partes diseñadas con celdas estándar
- Partes prefabricadas, que se configuran posteriormente
- Macrocelas. Las macrocelas son componentes complejos prediseñados, tales como memorias, microprocesadores, etc...

Un ejemplo de circuitos basados en macroceldas puede ser una familia de microcontroladores. El fabricante puede prefabricar un circuito básico que contiene el microprocesador (macrocelda), un espacio prefabricado en forma de Gate Array y otro espacio libre para celdas estándar. En cualquiera de estas dos últimas zonas se pueden ubicar componentes como puertos de E/S, periféricos, etc..., de forma que a partir de la misma oblea se pueden obtener todos los distintos microcontroladores de la familia, implantando únicamente aquellos componentes que son específicos para cada circuito.

Las macroceldas pueden comprarse a un tercero, y se pueden suministrar a diversos niveles de abstracción. Estas macroceldas se conocen con el nombre de IP (“Intellectual Property”). De forma general, se puede distinguir entre macroceldas “soft”, que son diseños a nivel comportamental o lógico (por ejemplo, un esquemático), o macroceldas “hard”, que son diseños con un layout definido y que solo es necesario ubicar en la superficie del chip. Las macroceldas pueden reutilizarse en multitud de diseños, lo que reduce enormemente el coste de los circuitos que los utilizan. El principal inconveniente es la dificultad de protección contra su uso indebido, ya que se trata de productos en soporte informático, que son fácilmente copiables, y cuyo uso es difícil de controlar.

Circuitos programables

Son circuitos totalmente prefabricados que el usuario puede configurar para realizar una función determinada⁴. Las ventajas e inconvenientes son similares a las de las tecnologías semicustom descritas anteriormente. Los circuitos programables presentan una gran facilidad de uso y bajo coste de programación (en comparación con la fabricación de un circuito), y un bajo tiempo de puesta en el mercado. En contrapartida, el coste por unidad es mayor que en un circuito custom, ya que requieren mayor área para una misma funcionalidad. Por este motivo, los circuitos programables son muy apropiados para la fabricación de prototipos o bajos volúmenes de producción (hasta unas 30.000 unidades). Asimismo, la frecuencia máxima de funcionamiento es típicamente la tercera parte de la que se puede obtener en un circuito custom.

Circuitos analógicos y mixtos

Modernamente es frecuente encontrar circuitos que combinan partes analógicas y digitales, los cuales se conocen como circuitos mixtos (“mixed-signal”). Estos circuitos plantean una dificultad adicional de fabricación, puesto que los procesos de fabricación de los circuitos analógicos y de los circuitos digitales difieren sensiblemente. En general, la parte analógica se separa mediante pozos y anillos de guarda de la parte digital para evitar problemas de ruido eléctrico.

⁴ Ver resumen acerca de tipos de FPGAs

2. Análisis y diseño de circuitos integrados digitales en el nivel físico

2.1 Máscaras necesarias para la fabricación de un circuito CMOS

El número de máscaras de un proceso actual puede ser muy elevado. A continuación se resumen las máscaras más típicas para procesos NMOS y CMOS

Máscaras típicas de un proceso NMOS:

1. Máscara de difusión o activa: define las áreas donde se ubicarán los transistores; sirve para hacer el patrón del óxido fino o de puerta
2. Máscara de transistores de depleción: define el canal de los transistores de depleción, el cual, a diferencia del canal de los transistores de acumulación, debe estar dopado.
3. Máscara de poly: define los patrones de polisilicio; el dopado de las zonas n+ no precisa de una nueva máscara, ya que se realiza por autoalineamiento
4. Máscaras de contactos y vias: se utilizarán tantas como niveles de metal haya
5. Máscaras de metal: se utilizarán tantas como niveles de metal haya
6. Máscara de pads: define las áreas donde van los pads; se aplica después de que se ha realizado la pasivación total

Máscaras típicas de un proceso CMOS:

1. Máscaras de pozos: definen las áreas donde van a ir los pozos; se necesita al menos una si el proceso es de un solo pozo, o dos, si es de doble pozo
2. Máscara activa: define las áreas donde se ubicarán los transistores; sirve para hacer el patrón del óxido fino o de puerta
3. Máscara de poly
4. Máscara de dopado p+: permite la difusión de impurezas tipo p para formar los transistores PMOS, mientras se protegen los transistores NMOS
5. Máscara de dopado n+: permite la difusión de impurezas tipo n para formar los transistores NMOS, mientras se protegen los transistores PMOS
6. Máscaras de contactos y vias: se utilizarán tantas como niveles de metal haya
7. Máscaras de metal: se utilizarán tantas como niveles de metal haya
8. Máscara de pads: define las áreas donde van los pads; se aplica después de que se ha realizado la pasivación total

2.2 Reglas de diseño

Las reglas de diseño son especificaciones geométricas mínimas de los elementos del layout con el fin de garantizar que los patrones diseñados se puedan reproducir con fidelidad sobre la oblea. Estas reglas afectan a las dimensiones, espaciado, solape, etc... de los patrones del layout. Su objetivo último es obtener circuitos con un rendimiento o

“yield” (porcentaje de circuitos válidos del total de circuitos fabricados) óptimo, con el menor área posible, pero sin comprometer la fiabilidad.

Las reglas de diseño se derivan del propio proceso de fabricación, y por tanto las suministra el fabricante de los circuitos integrados. En resumen, constituyen la información esencial que da el fabricante al diseñador para que éste último pueda realizar los diseños sin necesidad de conocer en detalle toda la problemática del proceso de fabricación de los circuitos.

2.2.1 Motivación de las reglas de diseño: “latch-up”, tolerancias de fabricación, etc...

El origen de las reglas de diseño son las tolerancias de fabricación y la eliminación de efectos parásitos que pueden afectar de forma importante al funcionamiento del circuito. A continuación se comentan algunas de las reglas más importantes que afectan a cada elemento:

- Pozos y difusiones: La distancia de separación entre pozos es muy grande para dejar espacio suficiente a la difusión lateral.
- Poly: El poly debe sobresalir por fuera de la zona activa. En caso contrario, un error de alineamiento de la máscara podría provocar que el poly no cubriera totalmente la zona activa, produciendo un corto entre drenador y fuente (r307). Debe haber una difusión de un tamaño mínimo a ambos lados del poly para garantizar que siempre se forma el transistor ante las tolerancias del alineamiento (r306).⁵
- Contactos y vías: Las reglas para los contactos no son distancias mínimas, sino exactas. Aunque sería deseable utilizar contactos amplios para reducir su resistencia, no se pueden fabricar bien tales contactos. En su lugar, es preferible utilizar múltiples contactos conectados en paralelo. Esto es debido a que el ataque químico que elimina el óxido para abrir el contacto adquiere mayor profundidad a medida que nos separamos de los bordes; por tanto, la profundidad del ataque en el centro de un contacto grande llegaría a ser excesiva. La zona superior de un contacto (metal) es siempre más grande que la inferior, al objeto de que el contacto se forme correctamente en el caso de que haya un pequeño error de alineamiento (r403). Las reglas correspondientes a las vías obedecen a razones similares a las de los contactos.
- Metales: Las líneas de metal tienen una anchura y separación mínimas (r501 y r502). En muchos casos, estas distancias aumentan a medida que vamos a niveles superiores de metal. La razón es que cuanto mayor es el nivel, la superficie de la oblea es más irregular, y, por tanto, es preciso considerar mayores tolerancias.
- Pads: Las dimensiones de los pads no han disminuido con la reducción general de las tecnologías, dado que su función es permitir la soldadura a un hilo de metal. Todas las distancias relativas a los pads son muy grandes por este motivo.

2.2.2 El parámetro característico de tamaño (λ)

Las reglas de diseño se pueden especificar en μm , o en “mils” (milésimas de pulgada) para tamaños grandes. Sin embargo, lo más habitual es utilizar el parámetro

⁵ Ver figuras p. 151 Weste

característico del tamaño (λ), que caracteriza la mínima resolución posible del proceso de fabricación. La especificación de las reglas de diseño en base a este parámetro tiene la ventaja de que para pasar a una tecnología de mayor resolución basta cambiar el valor de λ y todas las reglas se escalan linealmente, es decir, que las reglas basadas en λ son portables y escalables. De todas formas, es importante destacar que en las tecnologías submicrónicas actuales, el escalado en muchos casos no es lineal; el parámetro λ es una reminiscencia de cuando se utilizaban tecnologías superiores a la micra.

Es habitual referirse a una tecnología o proceso mediante la anchura del polisilicio, la cual a su vez determina la longitud del canal de los transistores. Este parámetro es un indicativo de la precisión del proceso de fabricación, ya que, para obtener las mejores prestaciones, los transistores se fabrican con una longitud de canal mínima. A su vez, la anchura del polisilicio es normalmente 2λ . Así, por ejemplo, una tecnología de $1\mu\text{m}$ indica que la anchura mínima de una línea de poly (y por tanto del canal de los transistores) en esa tecnología es de $1\mu\text{m}$ y que $\lambda = 0,5 \mu\text{m}$. Todas las demás dimensiones son múltiplos enteros de λ o, como mucho, en algunos casos, de $0,5 \lambda$.

2.2.3 Reglas de diseño basadas en λ

Veanse los ejemplos en las transparencias

2.2.4 Comprobación de las reglas de diseño (DRC)

Al terminar un diseño se debe comprobar siempre si se cumplen las reglas de diseño. Para ello las herramientas de diseño de layout disponen de capacidad para hacer una Comprobación Automática de las Reglas de Diseño (“Design Rule Checking”, DRC).