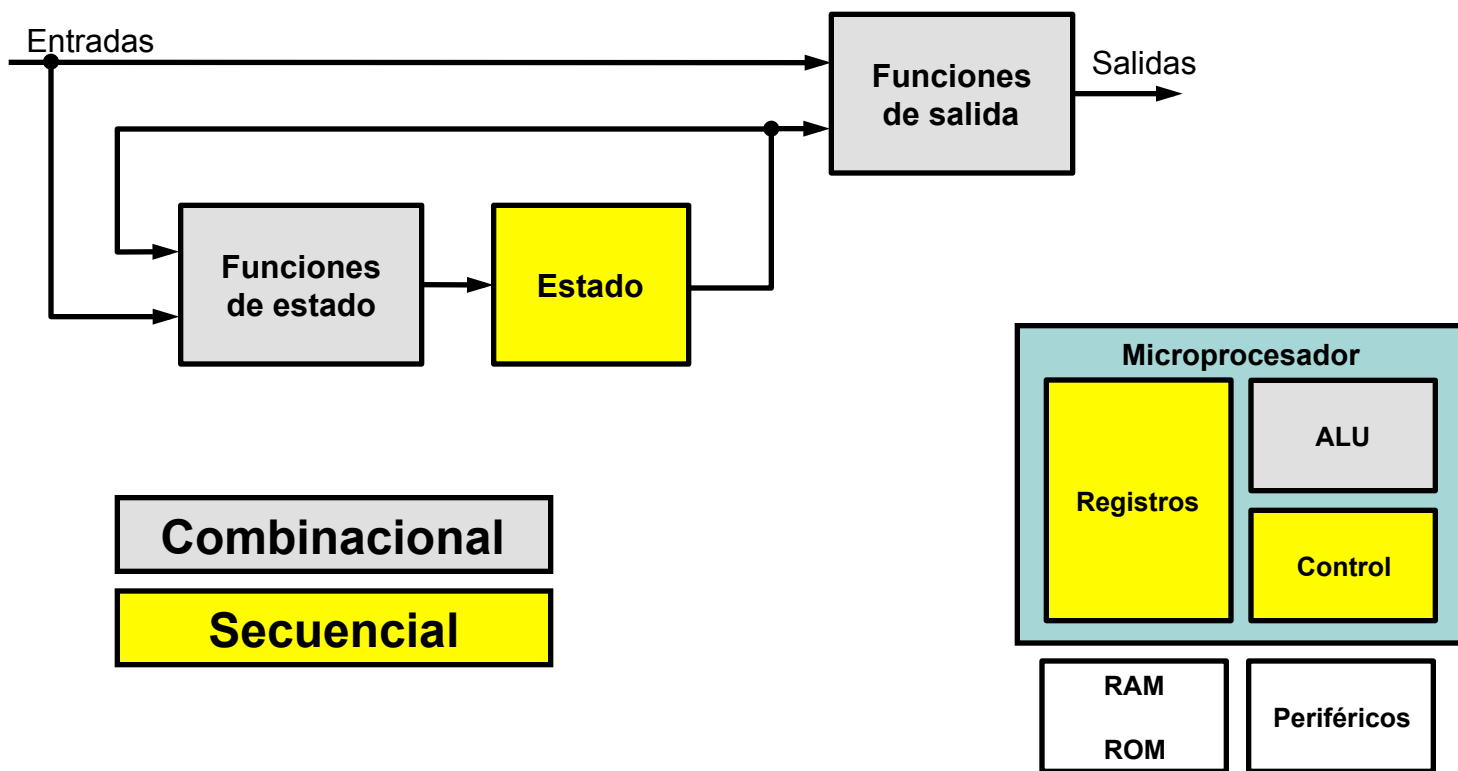


Biestables

© Luis Entrena, Celia López,
Mario García, Enrique San Millán
Universidad Carlos III de Madrid

Circuitos digitales y microprocesadores



Índice

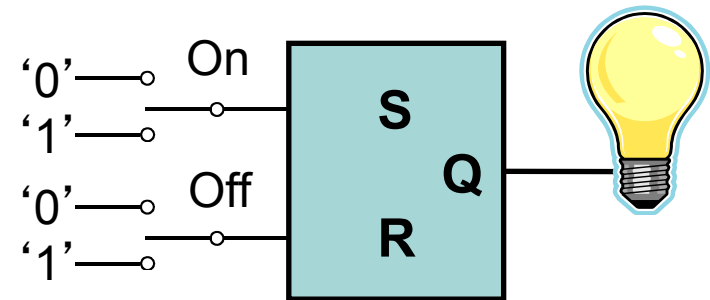
- Introducción
 - El biestable como elemento básico de memoria
 - Tipos de biestables
- Biestables asíncronos
- Biestables síncronos
- Biestables síncronos con entradas asíncronas
- Lógicas de control de biestables
- Características temporales
- Circuitos síncronos
- Circuitos con biestables: cronogramas

1. Introducción: biestables

- Definición:
 - Circuito capaz de almacenar un bit de información. Tiene dos estados estables, 0 y 1 lógicos. Dicho estado se mantiene hasta que sus señales de control indiquen un cambio
- Clasificación
 - Lógica de control: entradas que determinan el nuevo estado
 - D, T, SR, JK
 - Sincronismo:
 - Asíncronos: pueden cambiar al cambiar cualquier entrada
 - Síncronos: tienen una señal de control que indica cuándo pueden cambiar de valor
 - Activos por nivel
 - Activos por flanco

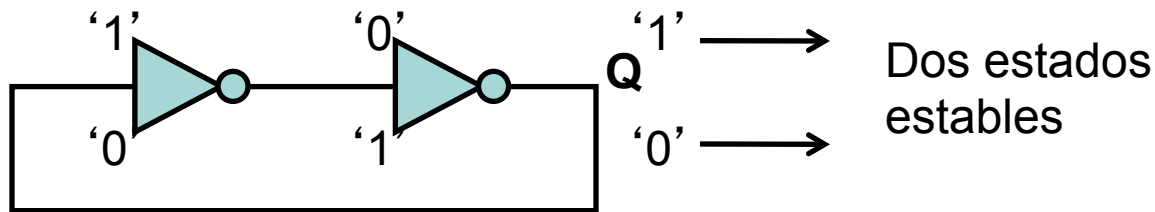
2. Biestables asíncronos

- Biestable SR asíncrono
 - S= '1' => Encender (Set)
 - R= '1' => Apagar (Reset)
 - S=R= '0' => Mantener estado
- Características
 - **Memoria:** si no se activan las entradas, mantiene su estado
 - **Asíncrono:** cambia inmediatamente si se activan sus entradas (R o S)

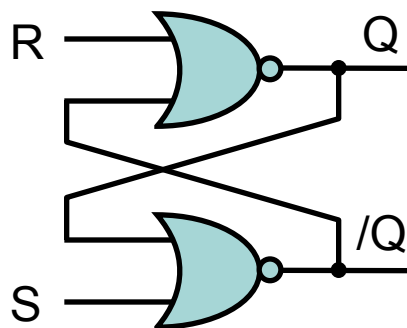


Biestables asíncronos

- Circuito que mantiene su valor



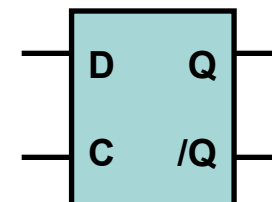
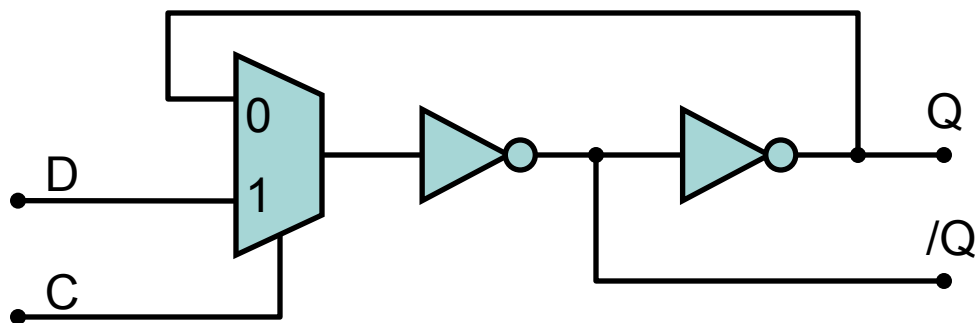
- Con entradas de control



S	R	Q	/Q	
0	0	Q	/Q	→ Mantener estado
1	0	1	0	→ Set
0	1	0	1	→ Reset
1	1	0	0	→ Estado prohibido

3. Biestables síncronos: activos por nivel

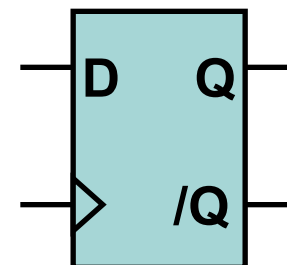
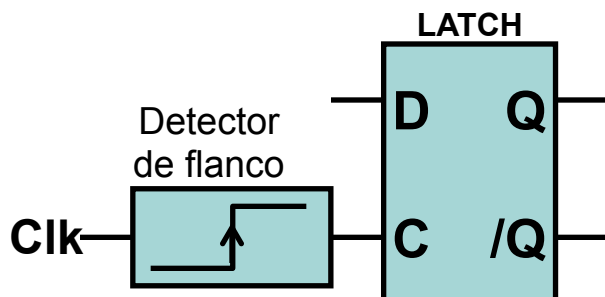
- Tiene una señal de control que permite que el biestable cambie de estado
- Biestable D **síncrono** activo **por nivel (latch-D)**
 - C= '1' => el biestable toma el valor de la entrada D
 - C= '0' => el biestable mantiene su valor



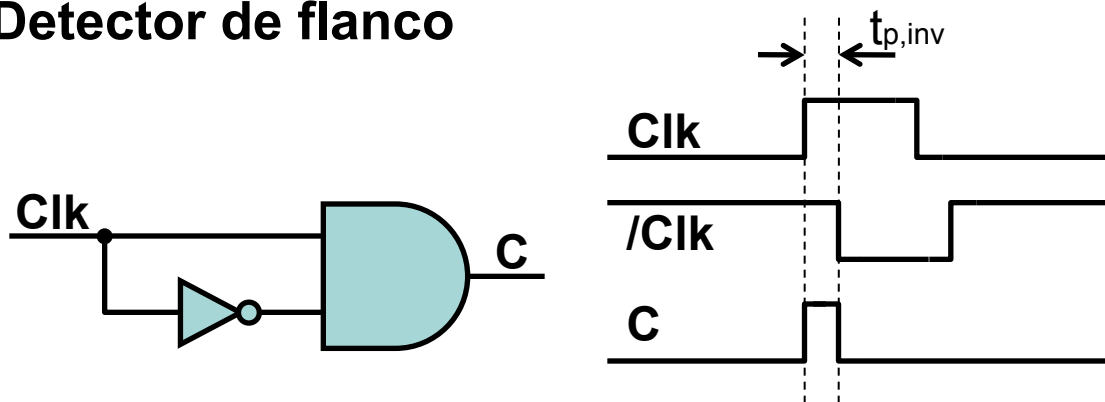
C	D	Q	/Q	
0	X	Q	/Q	→ Mantener estado
1	0	0	1	→ Asignar '0'
1	1	1	0	→ Asignar '1'

Biestables síncronos: activos por flanco

- Biestable D síncrono, activo por flanco



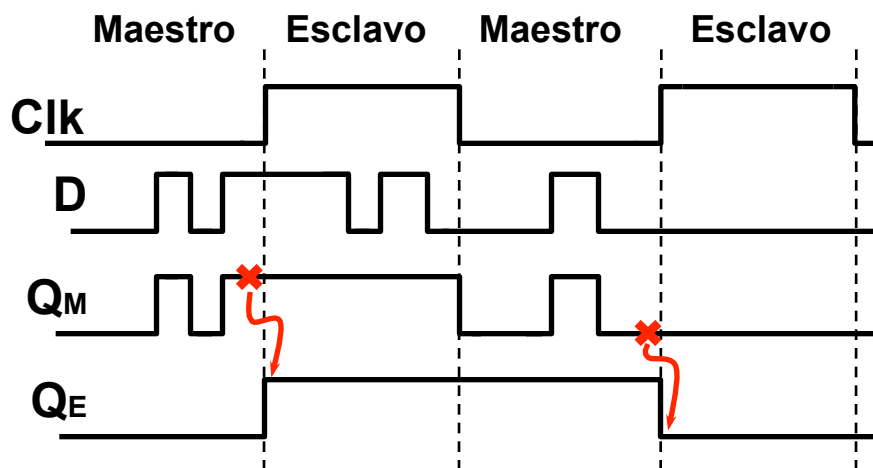
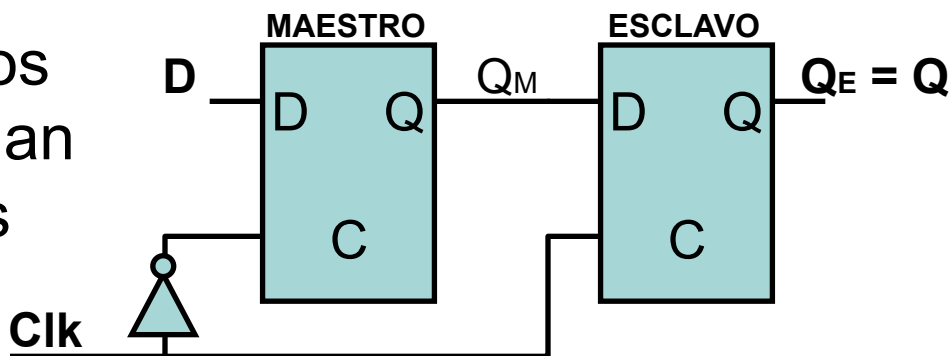
Detector de flanco



Solución mala
debido a la
tecnología: el
retraso del inversor
no es controlable

Biestables síncronos: maestro esclavo

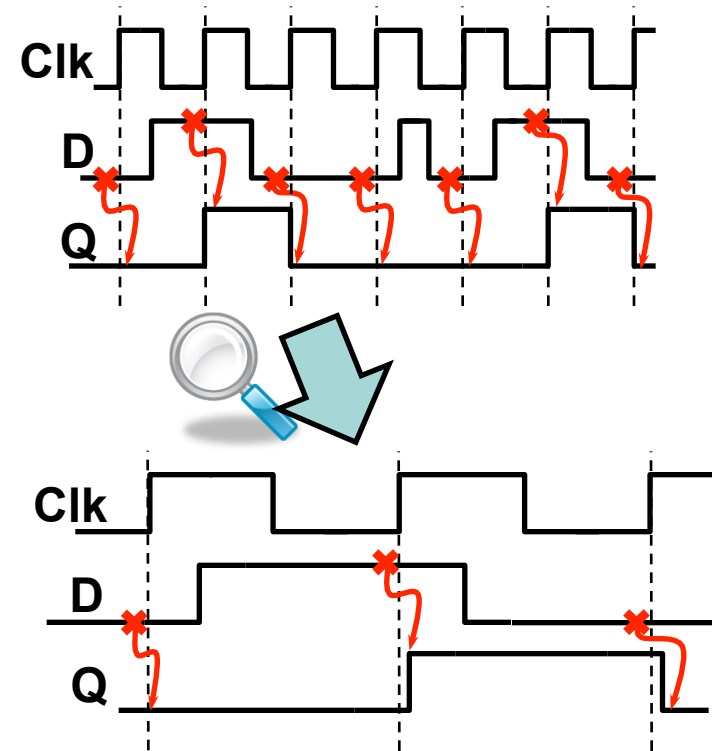
- Dos biestables activos por nivel que funcionan con niveles opuestos



- La salida Q_E sólo cambia en los flancos de subida del reloj
- La salida toma el valor de D justo antes del flanco

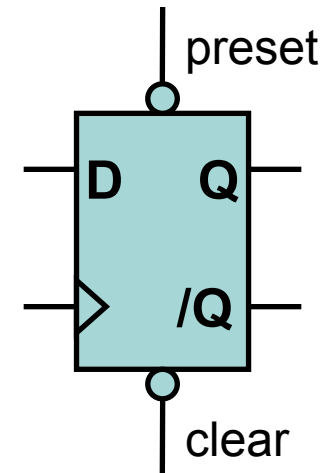
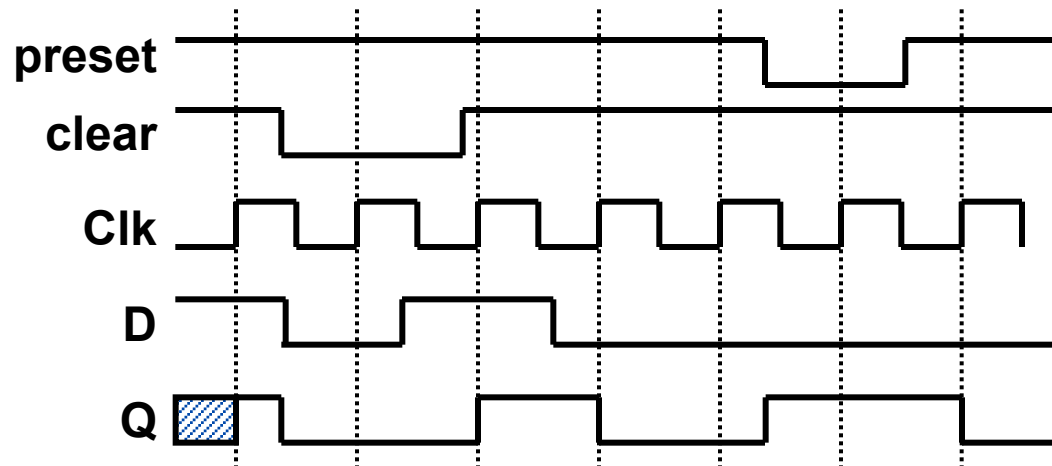
Biestable D síncrono activo por flanco

- Es el que más se usa para diseñar
- Sólo cambia de valor en los flancos de reloj (normalmente en el flanco de subida)
- El cambio a la salida del biestable se produce después del flanco de reloj
- El valor del biestable tras el flanco es el valor de su entrada D justo antes del flanco



4. Biestables síncronos con entradas asíncronas

- Biestables síncronos, que disponen de señales asíncronas para su inicialización
 - Clear: inicialización a '0' asíncrona
 - Preset: inicialización a '1' asíncrona
 - Normalmente activas por nivel bajo



5. Lógicas de control de biestables

- Señales que permiten controlar el cambio de estado del biestable
 - Tipos de biestable:
 - D,T,JK,SR
 - Señal de habilitación:
 - Habilita el cambio de estado.
 - Si no se habilita, el estado se mantiene.
 - Inicialización síncrona
 - Puesta a '0' y/o puesta a '1' atendiendo a la señal de reloj

Lógicas de control de biestables

- Tabla de funcionamiento

- Describe funcionalidad

Biestable D
(Data)

D	Q'
0	0
1	1

Biestable T
(Toggle)

T	Q'
0	Q
1	/Q

Biestable SR
(Set-Reset)

S	R	Q'
0	0	Q
0	1	0
1	0	1

Biestable JK
(Jump & Kill)

J	K	Q'
0	0	Q
0	1	0
1	0	1
1	1	/Q

- Tabla de transiciones

- Describe el próximo estado en función del estado actual y las entradas

Biestable D

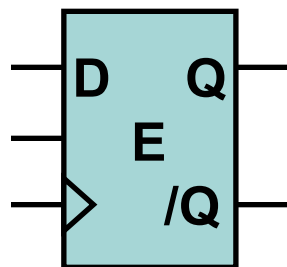
D	Q	Q'
0	0	0
0	1	0
1	0	1
1	1	1

Biestable T

T	Q	Q'
0	0	0
0	1	1
1	0	1
1	1	0

Lógicas de control de biestables

- Biestables con señal de habilitación

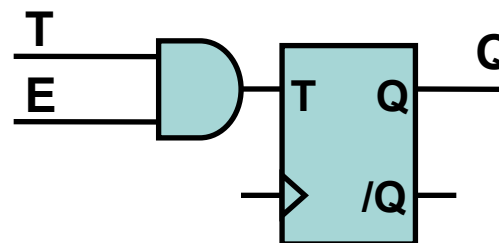
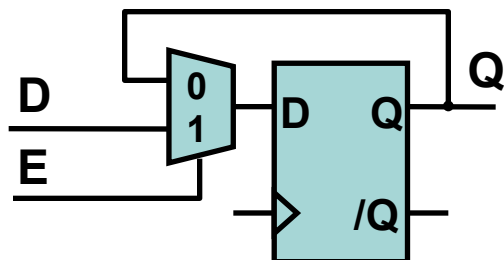
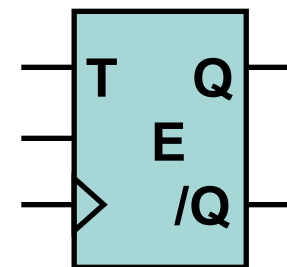


Biestable D

E	D	Q'
0	X	Q
1	0	0
1	1	1

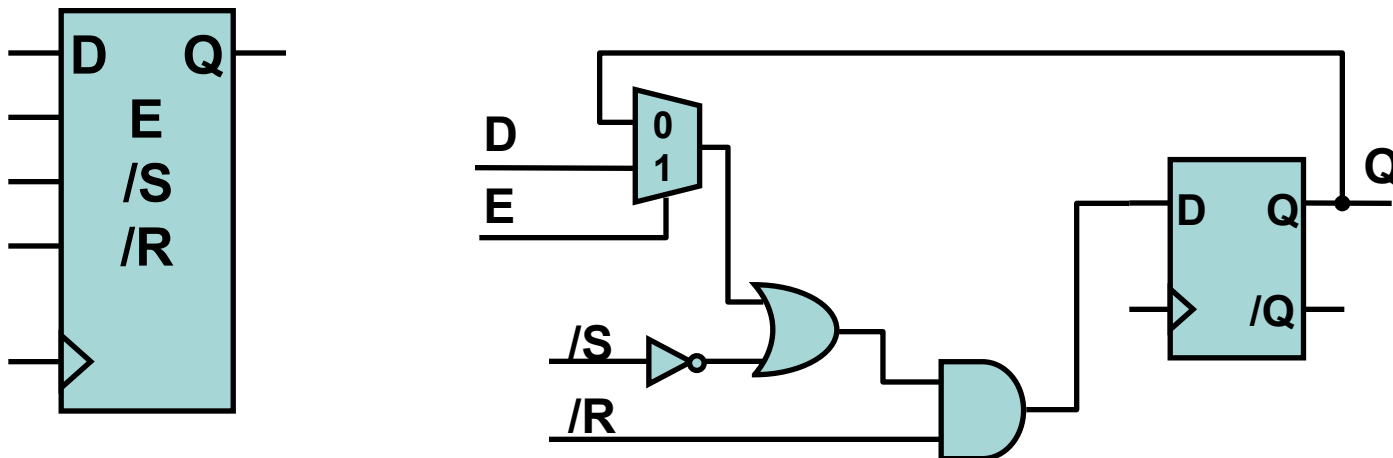
Biestable T

E	T	Q'
0	X	Q
1	0	Q
1	1	/Q



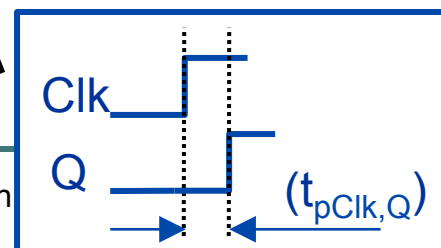
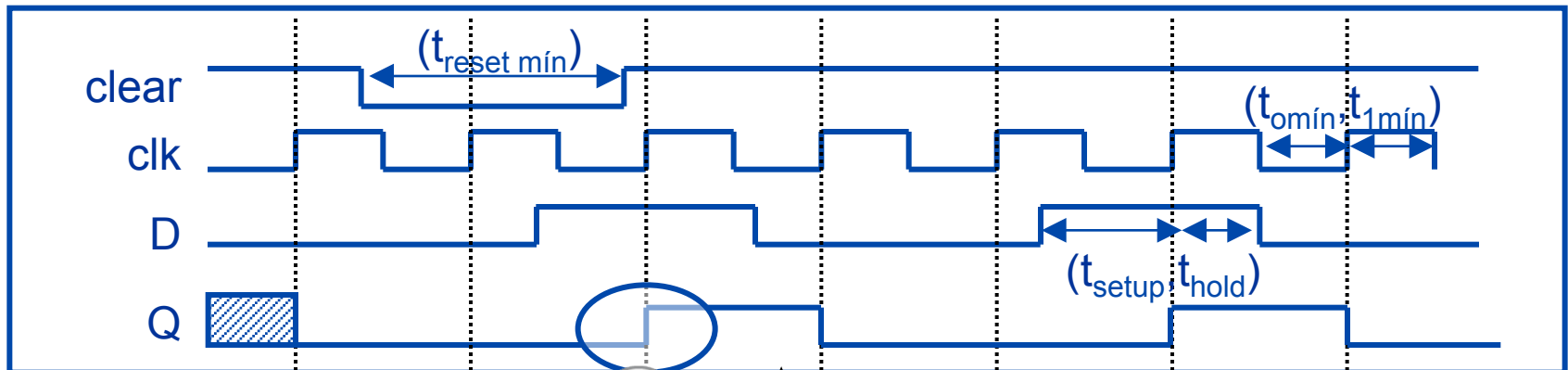
Lógicas de control de biestables

- Biestables con inicialización síncrona
 - Set: inicializa a '1'
 - Reset: inicializa a '0'
- Ejemplo: biestable D con habilitación, Set y Reset
 - Orden de prioridad: Reset, Set, Enable



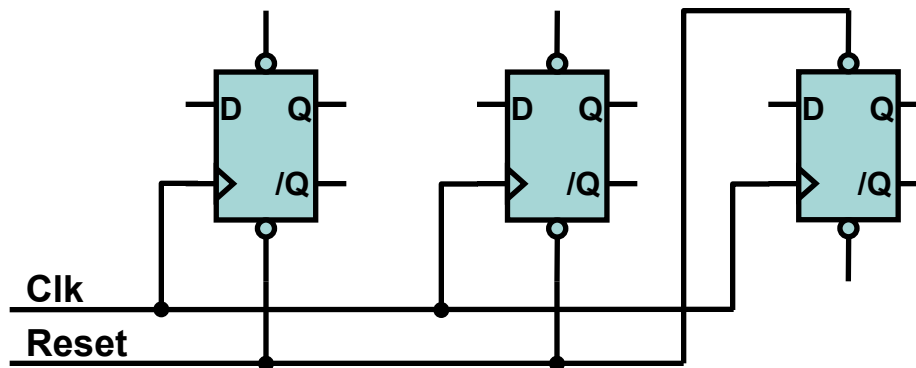
6. Características temporales

- Restricciones de los biestables
 - Duración de los niveles de la señal de reloj $\rightarrow (t_{0\text{mín}}, t_{1\text{mín}})$
 - Duración de las señales de inicialización asíncrona $\rightarrow (t_{\text{reset mín}})$
 - Tiempo de inserción de señales de datos $\rightarrow (t_{\text{setup}}, t_{\text{hold}})$
 - Tiempo de propagación de la salida $\rightarrow (t_{p\text{CLK}, Q})$



7. Circuitos síncronos

- Circuito síncrono
 - Todos sus biestables usan la misma señal de reloj
 - Los biestables son activos por el mismo flanco de reloj (normalmente el de subida)
 - Los biestables usan una señal común de inicialización llamada *Reset*



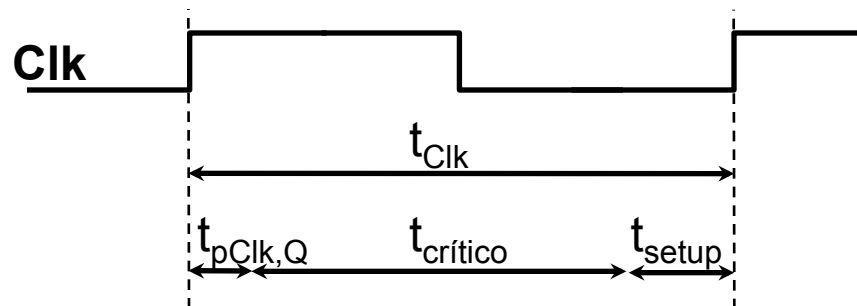
Circuitos síncronos: el ciclo de reloj

- Camino crítico:
 - Camino entre dos biestables cuyo retraso es el mayor de todo el circuito
 - Camino más lento entre dos biestables, que determina la máxima frecuencia de reloj a la que el circuito puede funcionar

$$t_{\text{Clk}} > t_{p\text{Clk},Q} + t_{\text{crítico}} + t_{\text{setup}}$$

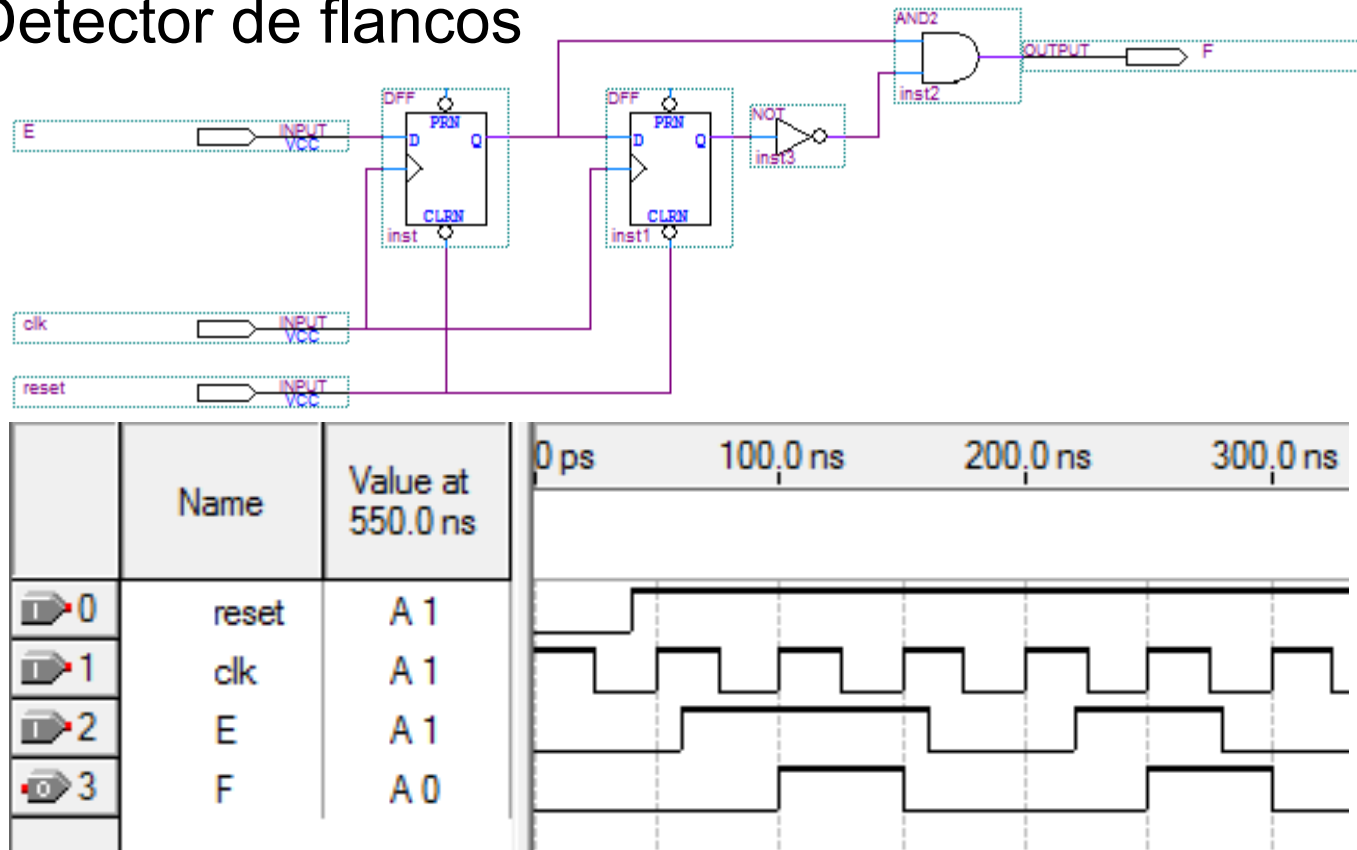
$$f_{\text{Clk}} = 1 / t_{\text{Clk}}$$

$$\text{Ej: } t_{\text{Clk}} = 1\text{ns} \rightarrow f_{\text{Clk}} = 1\text{GHz}$$



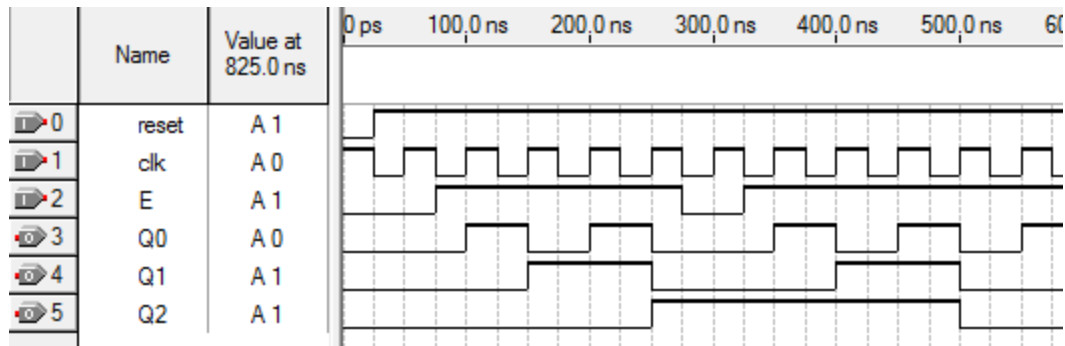
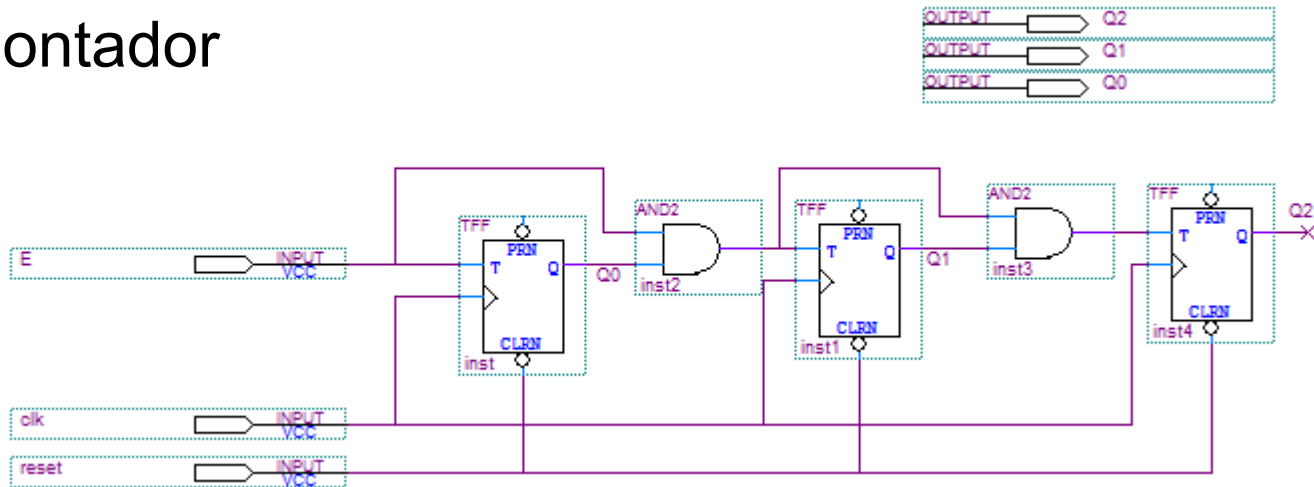
7. Cronogramas con biestables

- Detector de flancos



Cronogramas con biestables

- Contador



Bibliografía

- “Circuitos y Sistemas Digitales”. J. E. García Sánchez, D. G. Tomás, M. Martínez Iniesta. Ed. Tebar-Flores
- “Electrónica Digital”, L. Cuesta, E. Gil, F. Remiro, McGraw-Hill
- “Fundamentos de Sistemas Digitales “, T.L Floyd, Prentice-Hall