



Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios

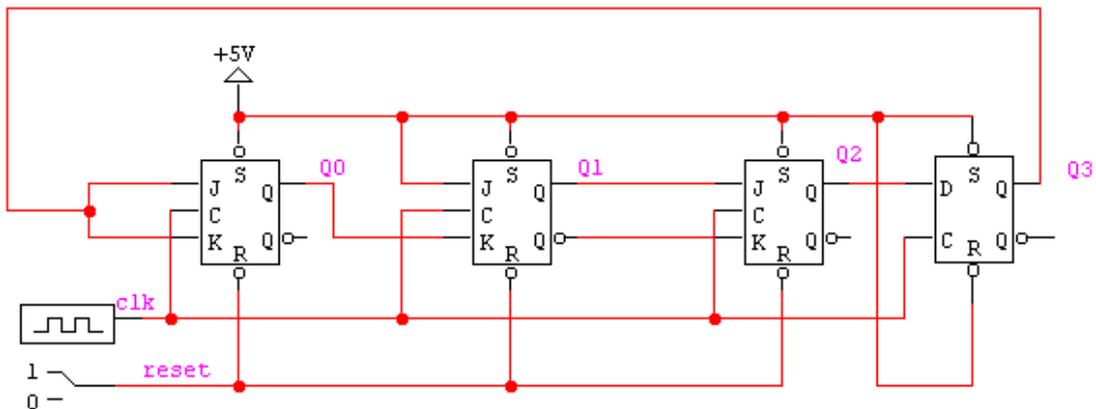
1. Dado el circuito secuencial de la figura, dibuje un cronograma indicando las formas de onda que se obtendrían en Q0, Q1, Q2 y Q3.

Notación:

C: Entrada de reloj, **activa por flanco de subida**

S: Entrada asíncrona de puesta a 1

R: Entrada asíncrona de puesta a 0



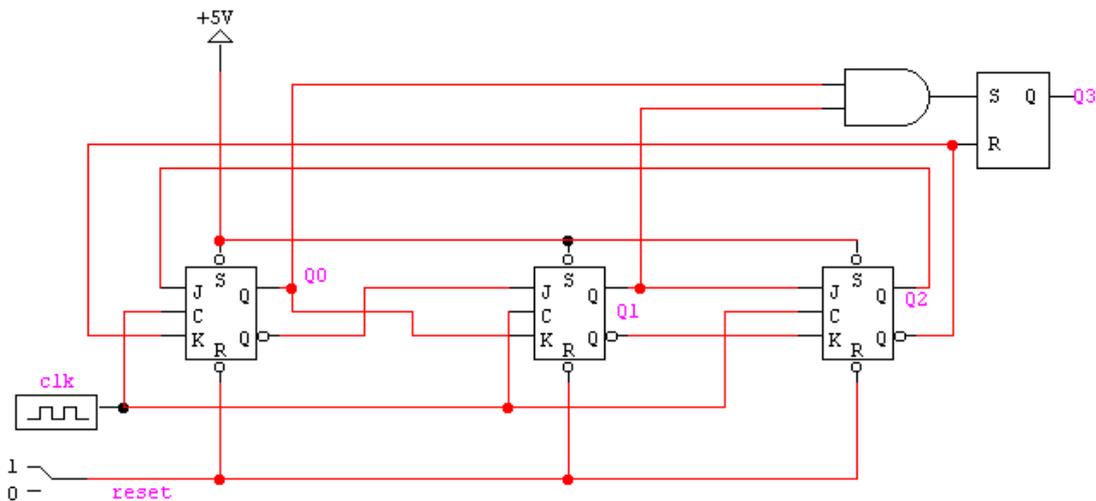
2. Dado el circuito secuencial de la figura, dibuje un cronograma indicando las formas de onda que se obtendrían en Q0, Q1, Q2 y Q3.

Notación:

C: Entrada de reloj, **activa por flanco de subida**

S: Entrada asíncrona de puesta a 1

R: Entrada asíncrona de puesta a 0





Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios

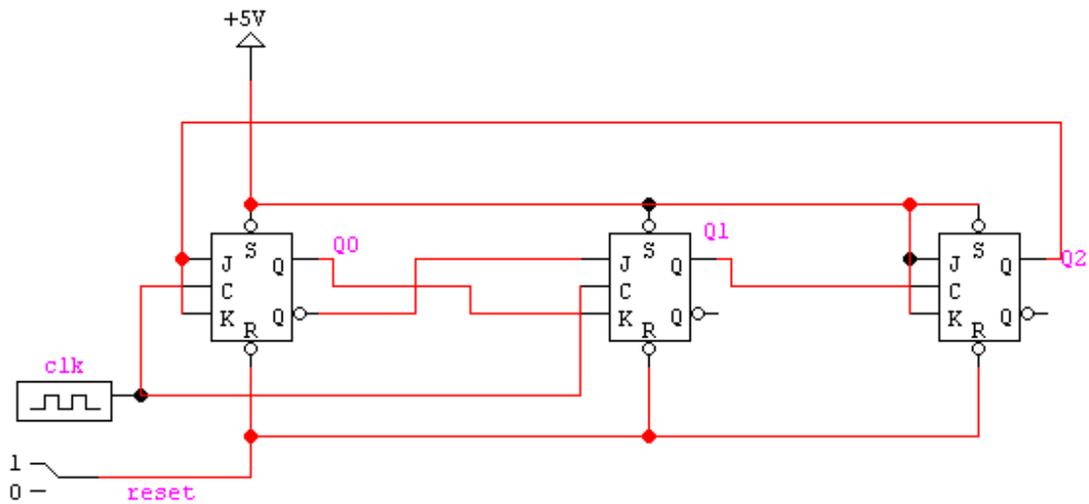
3. Dado el circuito secuencial de la figura, dibuje un cronograma indicando las formas de onda que se obtendrían en Q0, Q1, Q2.

Notación:

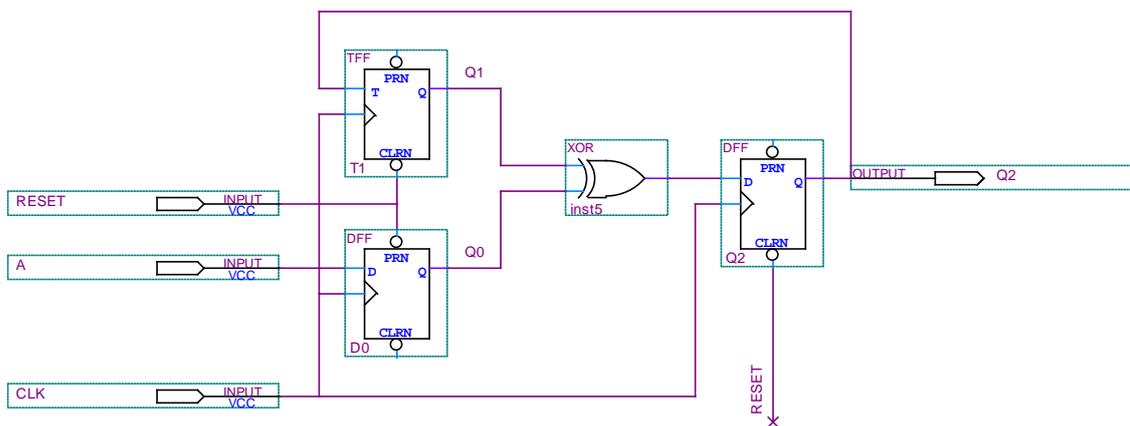
C: Entrada de reloj, **activa por flanco de subida**

S: Entrada asíncrona de puesta a 1

R: Entrada asíncrona de puesta a 0

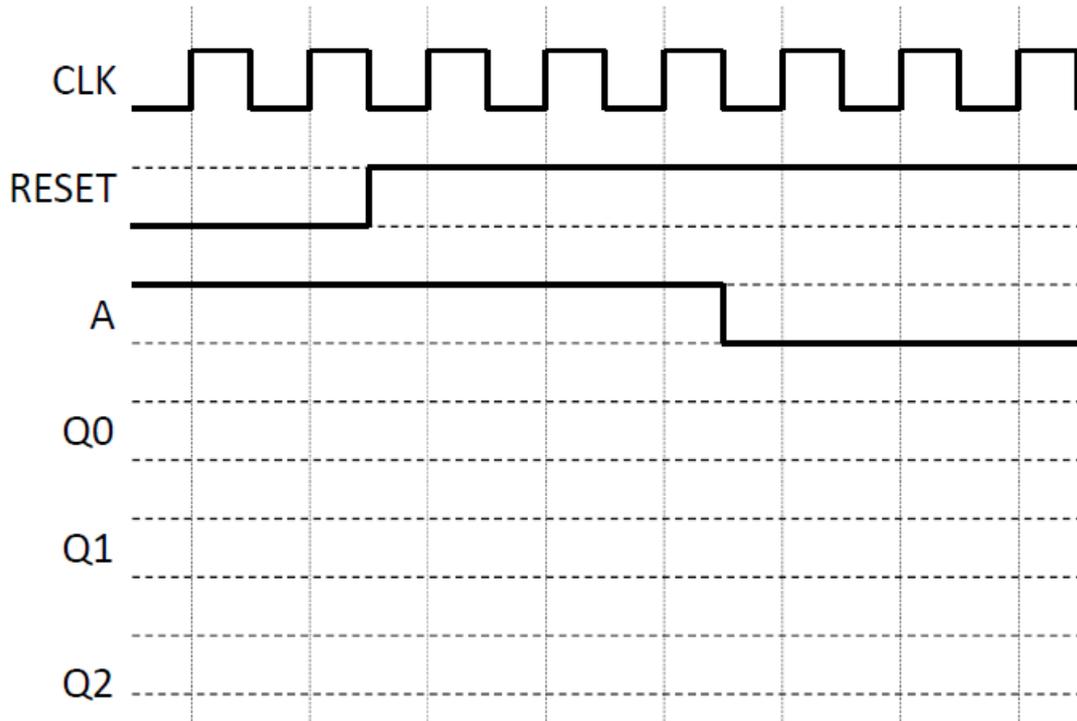


4. Complete el cronograma adjunto para el circuito de la figura





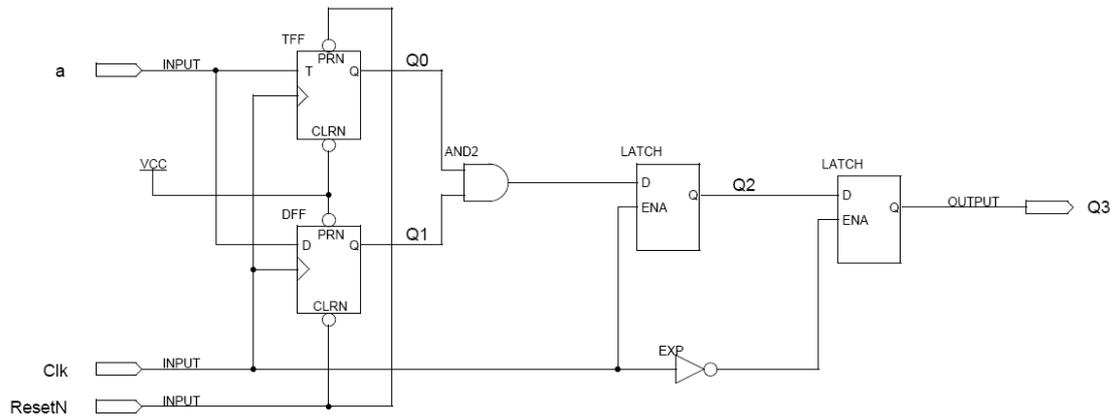
Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios



5. Complete el cronograma adjunto para el circuito de la figura.

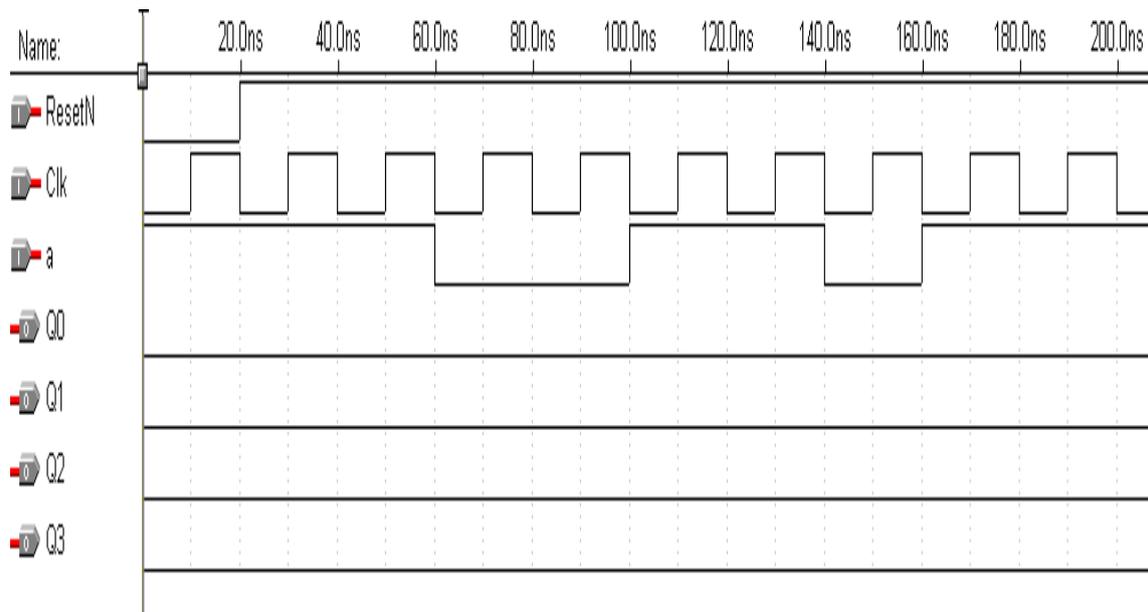
Nota aclarativa:

- Q0 es la salida de un biestable T activo por flanco de subida
- Q1 es la salida de un biestable D activo por flanco de subida
- Q2 y Q3 son las salidas de biestables D activos por nivel alto





Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios



6. Se trata de diseñar un contador síncrono que cuenta consecutivamente en binario ascendente y descendente, según la secuencia 0, 1, 2, 3, 2, 1, 0, 1, 2, ... El contador debe disponer de una entrada de Clear asíncrona que inicialice la cuenta a 0. Se pide:
 - a) Dibuje el diagrama de estados del circuito. ¿Cuántos biestables se necesitan?
 - b) Realice el diseño utilizando puertas lógicas y biestables D
 - c) Realice el diseño a partir del contador síncrono DM74ALS169B. Puede añadir las puertas lógicas y biestables que considere oportunos (se recomienda utilizar un biestable para almacenar el sentido de cuenta). Conecte **todas las entradas** a las señales o valores apropiados.

7. Se trata de diseñar un contador síncrono de 4 bits “supersticioso”, que cuenta en binario ascendente saltándose el número 13 (es decir, que de 12 pasa a 14). El contador debe disponer de una entrada de Clear asíncrona que inicialice la cuenta a 0. Realice el diseño de las dos formas siguientes:
 - a) Utilizando puertas lógicas y biestables T
 - b) Utilizando el contador síncrono cuyas características se muestran a continuación y las puertas lógicas que considere oportunas. Conecte **todas las entradas** a las señales o valores apropiados para obtener el contador síncrono ascendente “supersticioso” descrito anteriormente.

8. Utilizando las puertas lógicas y biestables del tipo que estime más conveniente:
 - a) dibuje el esquema de un contador síncrono ascendente que divida una frecuencia de entrada por 16
 - b) modifique el esquema del apartado anterior para que la frecuencia se divida por 12



Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios

9. Se trata de diseñar un contador síncrono ascendente de 3 bits, con las siguientes características:

- Existe una entrada de modo (M) que determina si la cuenta se realiza en código binario natural (M=0) o en código Gray (M=1). Así, si el estado de la cuenta es 001, el estado siguiente será 010 para M=0, o 011 para M=1.
- Existe una entrada de inicialización asíncrona (C) que se activa por nivel bajo y que pone el estado del contador a 1. Nótese que el código del 1 es el mismo en ambos códigos (001)
- La cuenta se realizará exclusivamente entre los números 1 y 6, de forma que al llegar al 6 continúa por el 1.

Se pide:

- a) Dibuje el diagrama de transición de estados del circuito según el modelo de Moore
- b) Realice el diseño del circuito, utilizando biestables T y puertas lógicas. (Nota: las expresiones lógicas complejas pueden dejarse indicadas, no es necesario dibujar el diagrama de puertas lógicas)
- c) Suponga que, por una inicialización incorrecta, el circuito que ha diseñado como solución se encuentra erróneamente en el estado 000. ¿Cual sería el estado siguiente para cada valor de M?

10. Diseñe un cronómetro digital utilizando contadores síncronos como el que se describe debajo y puertas lógicas. El cronómetro deberá tener las siguientes entradas y salidas:

Entradas:

CLK: Entrada de reloj que se conecta a una fuente de onda cuadrada de 1Hz

RESET: Puesta a 0 del cronómetro

EN: Habilitación del cronómetro (el cronómetro cuenta los segundos y minutos mientras EN = 1 y se para, conservando el tiempo, mientras EN = 0)

Salidas:

S₅ S₄ S₃ S₂ S₁ S₀: Valor de los segundos en binario

M₅ M₄ M₃ M₂ M₁ M₀: Valor de los minutos en binario

Las características del contador síncrono que puede utilizar son las siguientes:

CLK	CLEAR	LD	EN	D	C	B	A	QD	QC	QB	QA	CO
X	1	X	X	X	X	X	X	0	0	0	0	0
↑	0	1	X	d	c	b	a	d	c	b	a	0
↑	0	0	0	X	X	X	X	Mantiene estado			0	
↑	0	0	1	X	X	X	X	Cuenta ascendente			0*	



Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios

* La salida CO (Carry Out) se activa sólo en el estado de cuenta $Q=1111$ si el contador está habilitado ($EN=1$)

11. Diseñe un detector de secuencia que tiene una entrada A y una salida S. La salida S se activa ($S=1$) cuando la entrada A vale 0 durante tres ciclos consecutivos de reloj, manteniéndose activa hasta que la entrada A valga 1 durante tres ciclos consecutivos de reloj. El circuito se debe poder inicializar al estado de salida inactiva mediante una entrada de RESET.

Ejemplo:

A: 0100100011010100111001001

S: 0000000111111111110000000

Se pide:

- d) Dibuje el diagrama de transición de estados del circuito según el modelo de Mealy
- e) Realice el diseño del circuito, utilizando biestables T y puertas lógicas. Dibuje el esquema del circuito (Nota: las expresiones lógicas complejas pueden dejarse indicadas, no es necesario dibujar el diagrama de puertas lógicas)
- f) Realice el diseño del circuito utilizando biestables D, puertas lógicas y un decodificador 74HC154 como el de la hoja de catálogo que se adjunta

12. Utilizando un biestable D activo por flanco de subida y puertas lógicas, realice un biestable que tenga el funcionamiento dado por la tabla siguiente:

CLK	A	B	C	Q
↑	0	0	X	Mantiene estado
↑	0	1	X	Cambia estado
↑	1	X	0	0
↑	1	X	1	1

Se pretende realizar el circuito de control de un semáforo. Además de las entradas de reloj (CLK) y Clear, el circuito tiene una entrada de bloqueo activa por nivel alto (B) y tres salidas activas por nivel alto denominadas respectivamente R (rojo), V (verde) y A (amarillo).

Mientras la entrada B esté inactiva, el semáforo debe de realizar indefinidamente la siguiente secuencia de colores :

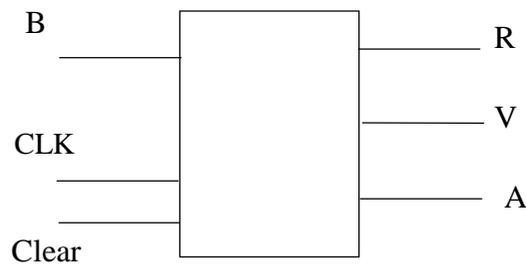
- 2 ciclos de reloj en ROJO
- 2 ciclos de reloj en VERDE
- 1 ciclo de reloj en AMARILLO

Si se activa la entrada B, el semáforo se pondrá en ROJO. Al desactivarse la entrada B, se comenzará de nuevo la secuencia.

Cuando se activa la señal Clear, el semáforo se pondrá en ROJO de forma asíncrona.



Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios



Se pide:

- Describa la máquina de estados del circuito utilizando el modelo de Moore
- Realice el controlador utilizando biestables de tipo D con entrada de Clear y puertas lógicas.
- Implemente el circuito anterior utilizando un registro de desplazamiento, el cual funcionará como contador de estados, y puertas lógicas. Se recomienda realizar el diseño en 2 fases:
 - Realice el diseño sin considerar la entrada B
 - Añada la entrada B al diseño, de forma que se pase al estado ROJO cuando esta señal se active.

13. Dibujar el diagrama de estados de un circuito que detecte la secuencia 10x1 en una entrada serie. El valor x significa '0' o '1' indiferentemente. La salida debe valer '0' durante todo el tiempo y '1' si los últimos cuatro bits recibidos en la entrada se corresponden con la secuencia dada.

Ejemplo

Entrada: 0 0 0 1 0 0 1 0 1 1 0 0 0 0 1 0 1 0 0 0 0

Salida: 0 0 0 0 0 0 1 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0

14. Diseñe un contador síncrono descendente que cuenta de 5 hasta 0 (del 0 volvería a pasar al 5). El contador debe tener entrada de habilitación(ENABLE), y salida FIN que indica cuando el contador llega al estado 0. El estado inicial es 5.

En el diseño del circuito se utilizarán **biestables T**.

Realice los siguientes pasos

- Diagrama de estados
 - Tabla de transiciones
 - Funciones simplificadas de transición de estados y de salida
 - Esquema del circuito
15. Se quiere diseñar un contador ascendente de 3 bits, con una entrada A que funciona de la manera siguiente:
- Si $A = 0$, el contador se salta el 3 y el 5
 - Si $A = 1$, el contador se salta el 4 y el 5
- El contador debe tener **salida de acarreo** C_{OUT} .
- Se pide:



Universidad Carlos III de Madrid
Electrónica Digital
Ejercicios

- a) Dibuje el Diagrama de Transición de Estados del contador. ¿Es una máquina de Moore o de Mealy?
- b) Diseñe el contador utilizando **biestables T**
16. En la figura se muestra un circuito secuencial constituido por un codificador con prioridad y dos biestables D.
- a) Describa la tabla de verdad del codificador con prioridad, teniendo en cuenta que la prioridad mayor corresponde a las entradas de mayor índice.
- b) Dibuje el diagrama de estados correspondiente al circuito mostrado. ¿Se trata de una máquina de Moore o de Mealy? (Razone la respuesta)

