



Universidad
Carlos III de Madrid

Sistemas embebidos basados en FPGAs para instrumentación

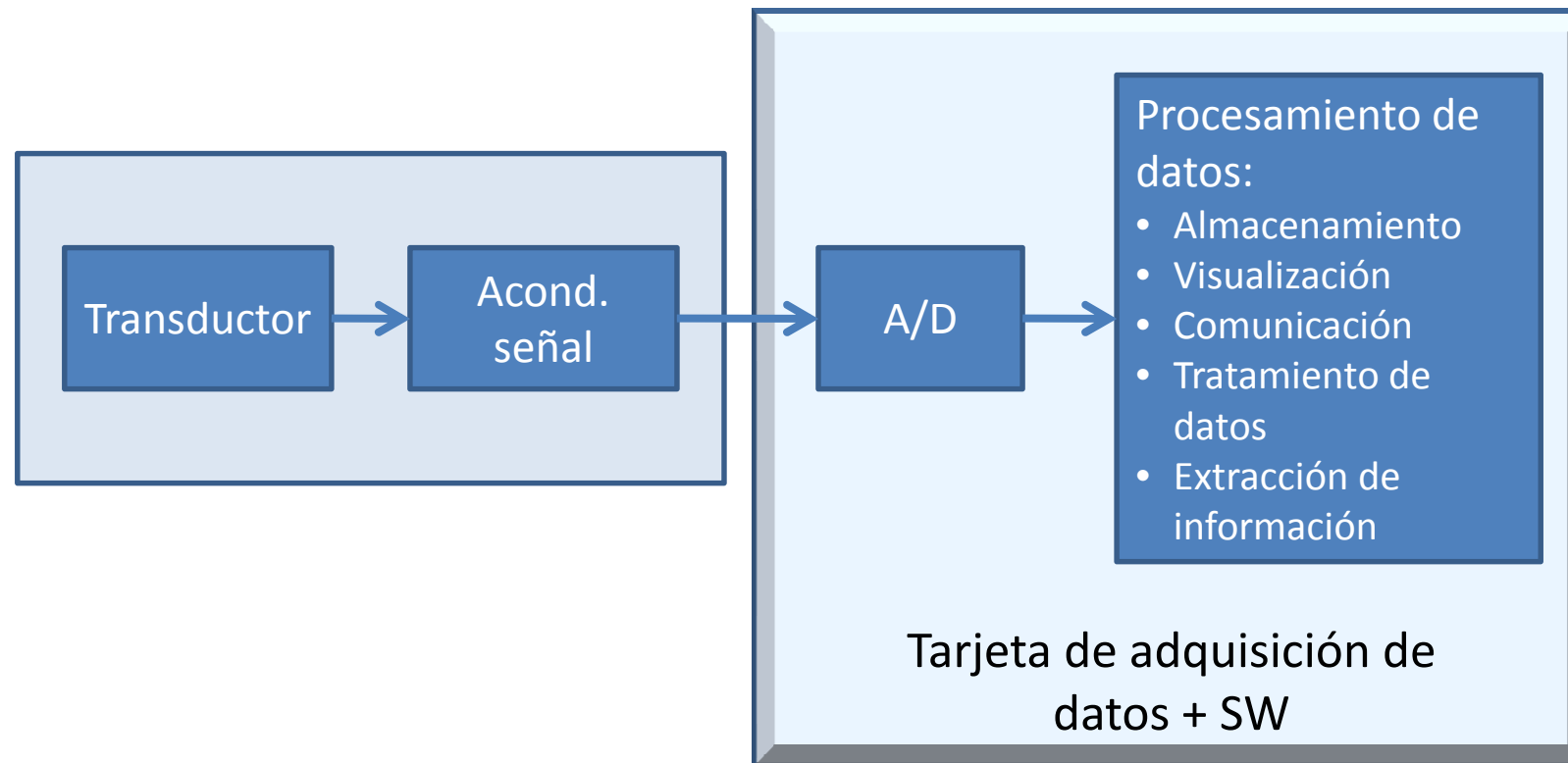
Interfaces de usuario y comunicación

Marta Ruiz Llata



Introducción

Sistema de instrumentación: esquema de bloques





Introducción

Interfaz de comunicación con el usuario

- **Indicadores y displays**
- **Pulsadores y teclados**

Adquisición de señales

- **Señales analógicas**
- **Señales digitales periódicas**

Generación de señales de control de dispositivos

Comunicaciones serie

- **Buses locales**
- **Redes locales**

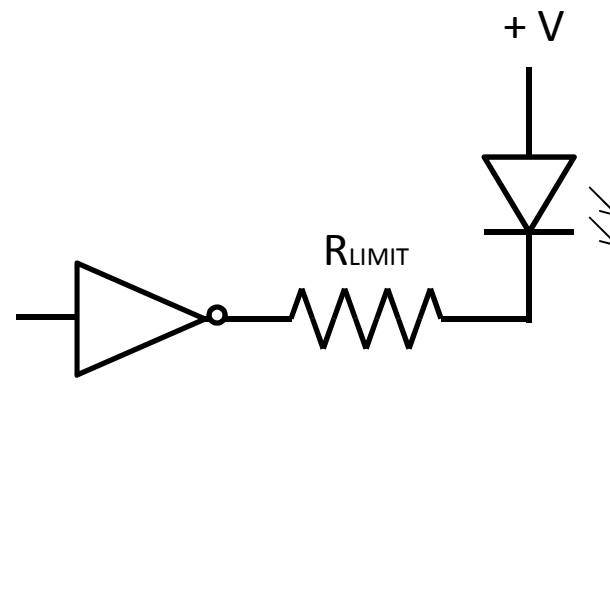
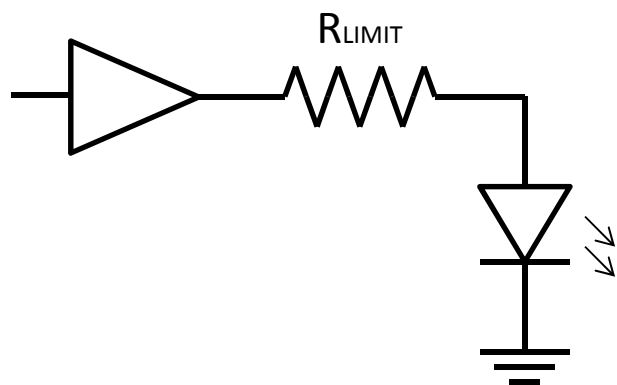


Figura de “Spartan-3E FPGA Starter Kit Board User Guide” Xilinx



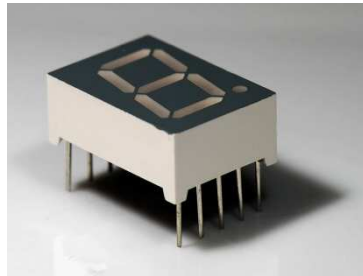
Indicadores y displays

Indicadores y displays: Leds



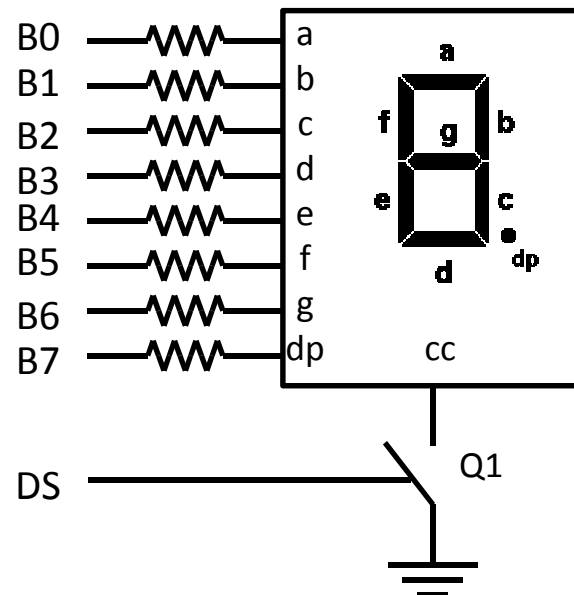
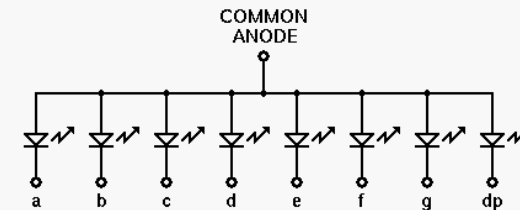
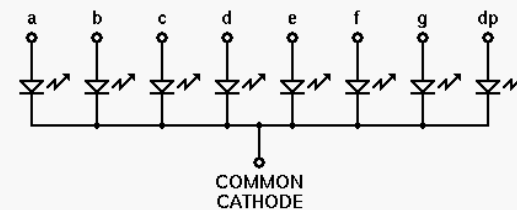
R_{LIMIT} para I_{LED} aproximadamente 20 mA

Indicadores y displays: displays de 7 segmentos



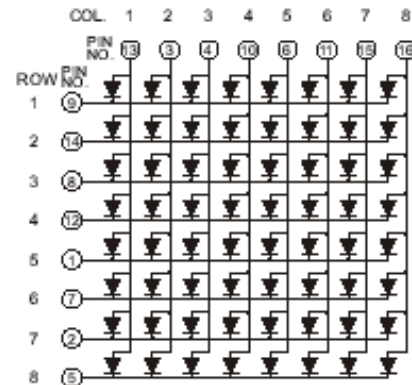
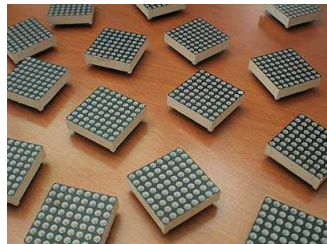
¿ Cuantas patas?

7(8) LEDS: 7 segmentos del dígito (+ punto)



Number	Segments	Hex
0	0011 1111	0x3F
1	0000 0110	0x06
2	0101 1011	0x5B
3	0100 1111	0x4F
4	0110 0110	0x66
5	0110 1101	0x6D
6	0111 1101	0x7D
7	0000 0111	0x07
8	0111 1111	0x7F
9	0110 0111	0x67

Indicadores y displays: displays de matrices de puntos



Display alfanumérico o display gráfico

Selección de fila y columna para encender cada led

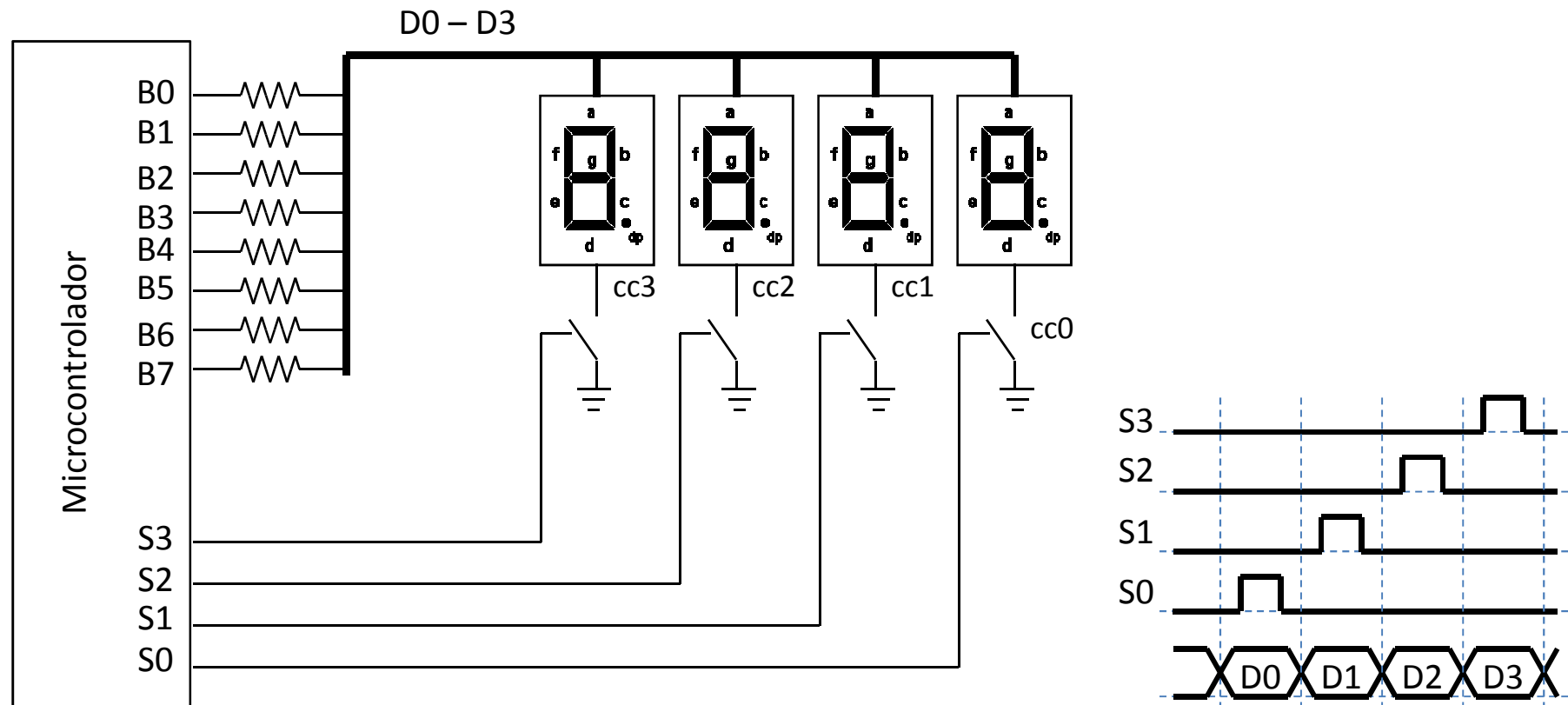
Funciones para representar datos:

- Codificar
- Refrescar

Diferentes alternativas (HW y SW) para implementar cada función

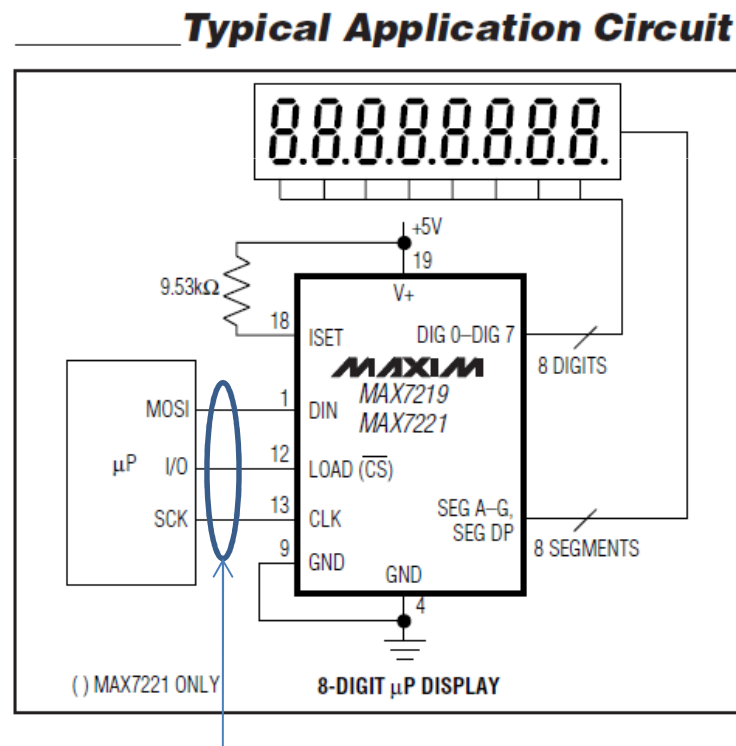
Codificación y refresco mediante SW

Aplicaciones sencillas generalmente con displays de 7 segmentos. El microcontrolador realiza las funciones de codificar los datos (BCD a 7 segmentos) y del refresco periódicamente de cada dígito del display.



Codificación y refresco mediante HW

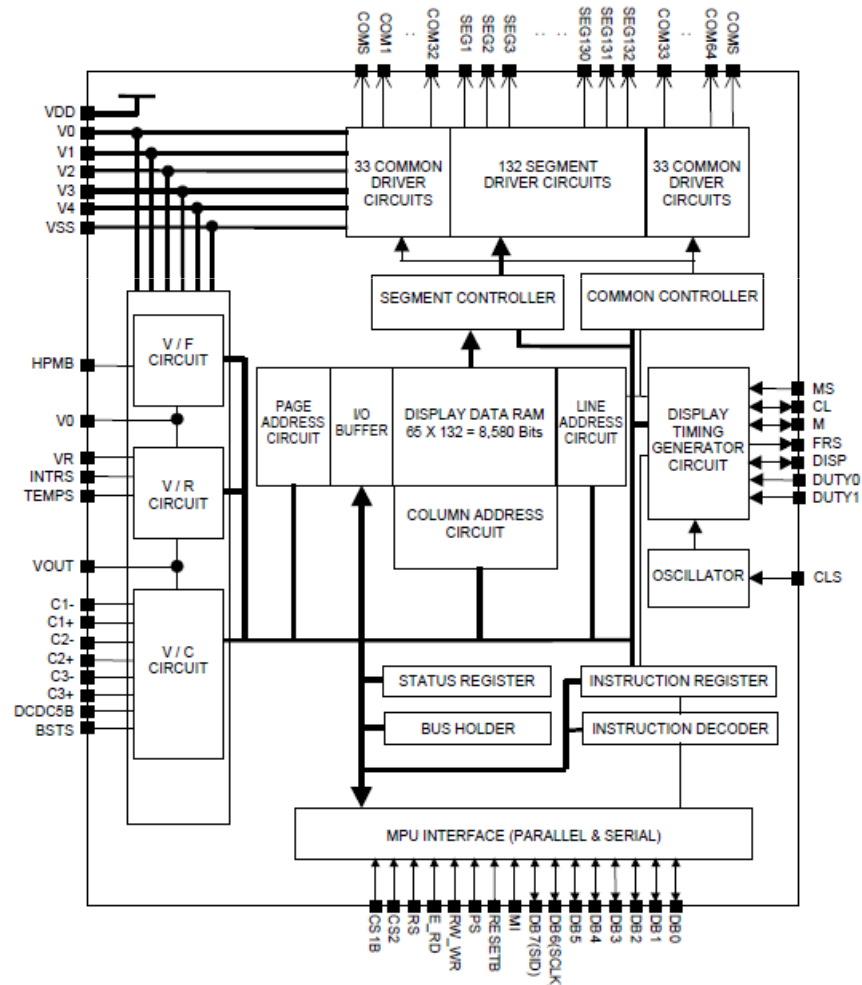
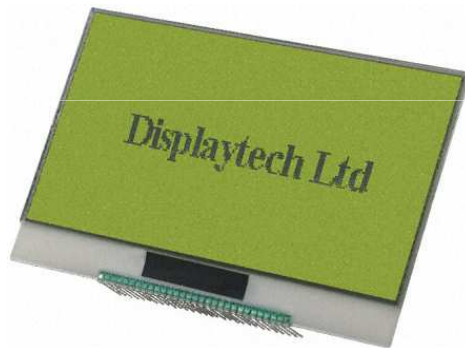
Aplicaciones sencillas con displays de 7 segmentos o matrices de leds. Un integrado almacena en su memoria interna el contenido del display y refresca de forma periódica los leds. El microcontrolador comunica los datos a representar. Los sistemas suelen incorporar control de luminosidad.



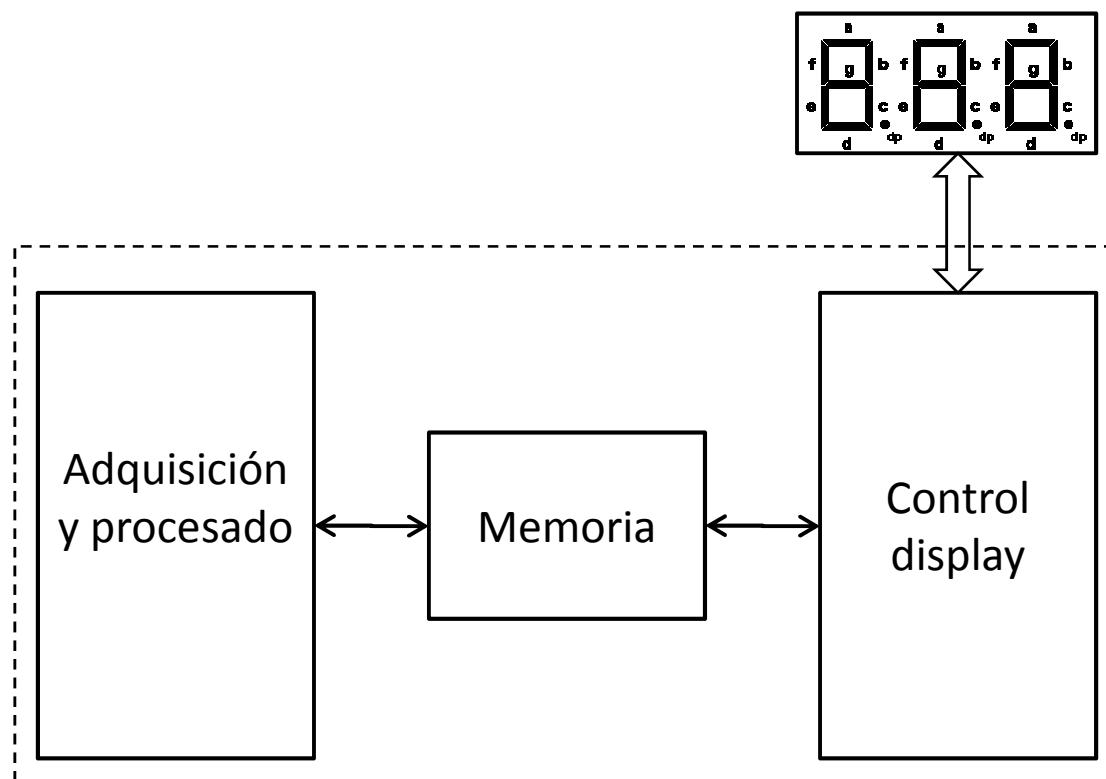
Interfaz serie

Indicadores y displays: LCDs gráficos

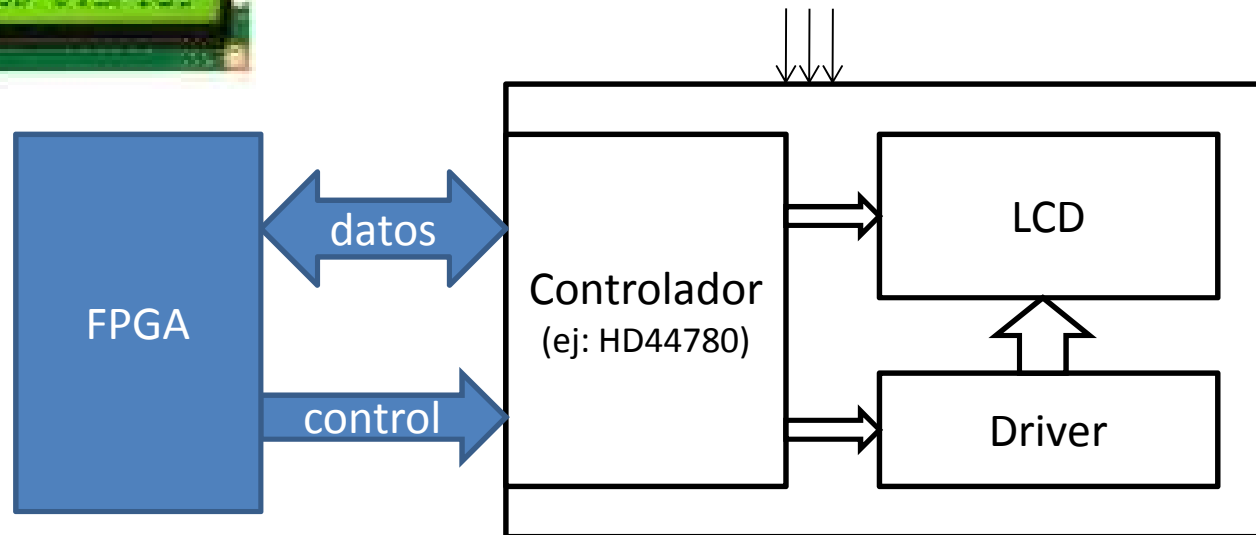
Incorporan interfaz serie o paralelo con el procesador, el display LCD y circuitos drivers, memoria y controlador. El micro envía comandos (borrar, posicionar el cursor...) y los datos a representar.



Sistema de visualización en FPGA



Placa de desarrollo Spartan 3E: Display LCD



Interfaz paralelo

Datos (comandos y caracteres): D7:D4 (interfaz de 4 bits)

Control: E, RS, RW

Otras entradas: V_{DD} , V_{SS} , V_{ADJ}

Comandos en controlador de display alfanumérico HD44780

Table 6 Instructions

Instruction	Code										Description	Execution Time (max) (when f_{op} or f_{osc} is 270 kHz)
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
Clear display	0	0	0	0	0	0	0	0	0	1	Clears entire display and sets DDRAM address 0 in address counter.	
Return home	0	0	0	0	0	0	0	0	0	1	Sets DDRAM address 0 in address counter. Also returns display from being shifted to original position. DDRAM contents remain unchanged.	1.52 ms
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Sets cursor move direction and specifies display shift. These operations are performed during data write and read.	37 μ s
Display on/off control	0	0	0	0	0	0	1	D	C	B	Sets entire display (D) on/off, cursor on/off (C), and blinking of cursor position character (B).	37 μ s
Cursor or display shift	0	0	0	0	0	1	S/C	R/L	—	—	Moves cursor and shifts display without changing DDRAM contents.	37 μ s
Function set	0	0	0	0	1	DL	N	F	—	—	Sets interface data length (DL), number of display lines (N), and character font (F).	37 μ s
Set CGRAM address	0	0	0	1	ACG	ACG	ACG	ACG	ACG	ACG	Sets CGRAM address. CGRAM data is sent and received after this setting.	37 μ s
Set DDRAM address	0	0	1	ADD	ADD	ADD	ADD	ADD	ADD	ADD	Sets DDRAM address. DDRAM data is sent and received after this setting.	37 μ s
Read busy flag & address	0	1	BF	AC	AC	AC	AC	AC	AC	AC	Reads busy flag (BF) indicating internal operation is being performed and reads address counter contents.	0 μ s

Codificación de datos en controlador de display alfanumérico

Table 4 Correspondence between Character Codes and Character Patterns (ROM Code: A00)

Upper 4 Bits		0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
Lower 4 Bits	CG RAM (1)				0	@	P	`	P				-	9	3	α	p	
xxxx0000					!	1	A	Q	a	q			。	7	チ	△	ä	q
xxxx0001	(2)				"	2	B	R	b	r			「	イ	ツ	×	β	θ
xxxx0010	(3)				#	3	C	S	c	s			」	ウ	テ	モ	ε	∞
xxxx0011	(4)				\$	4	D	T	d	t			、	エ	ト	ト	μ	Ω
xxxx0100	(5)				%	5	E	U	e	u			・	オ	ナ	ユ	σ	Ü
xxxx0101	(6)				&	6	F	V	f	v			ヲ	カ	ニ	ヨ	ρ	Σ
xxxx0110	(7)				'	7	G	W	g	w			ア	キ	ヌ	ウ	g	π
xxxx0111	(8)				(	8	H	X	h	x			ィ	ク	ネ	リ	√	×
xxxx1000	(1)				)	9	I	Y	i	y			ッ	ケ	ル	ル	´	y
xxxx1001	(2)				*	:	J	Z	j	z			エ	コ	ン	レ	j	〒
xxxx1010	(3)				+	;	K	[	k	<			オ	サ	ヒ	ロ	*	斤
xxxx1011	(4)				,	<	L	¥	l	l			ハ	シ	フ	ワ	φ	円
xxxx1100	(5)				-	=	M	]	m	}			ユ	ズ	ヘ	ン	も	÷
xxxx1101	(6)				.	>	N	^	n	→			ヨ	セ	ホ	°	ñ	
xxxx1110	(7)				/	?	O	_	o	←			ッ	ソ	マ	°	ö	
xxxx1111	(8)																	

Placa de desarrollo Spartan 3E: Interfaz de video VGA

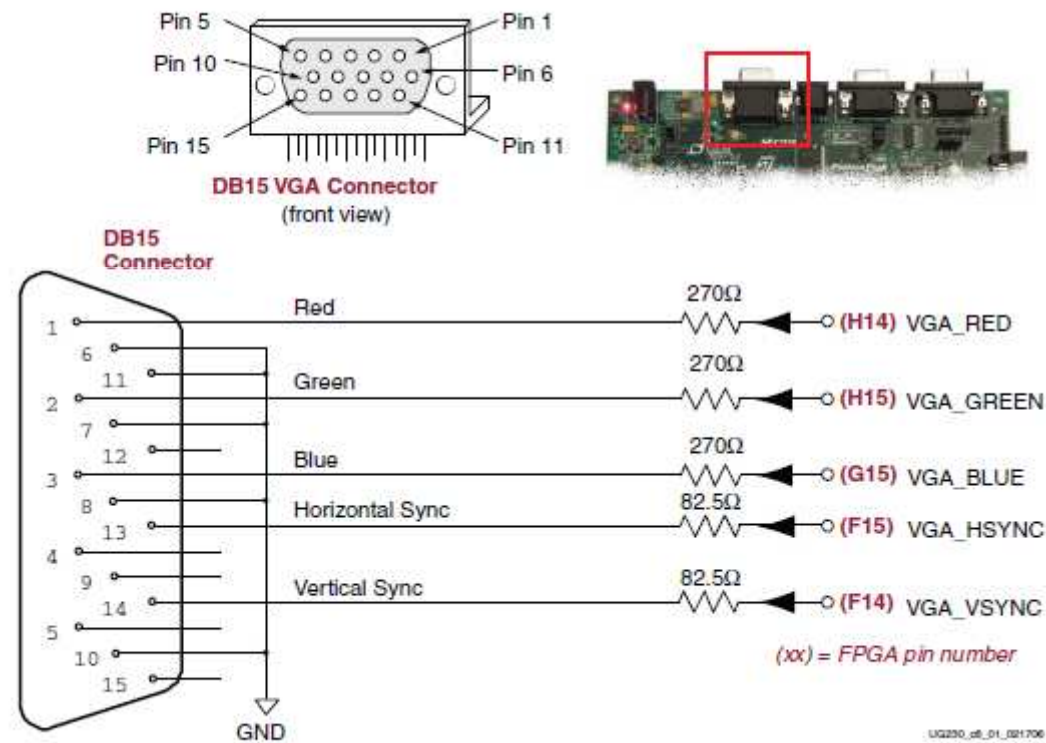


Figure 6-1: VGA Connections from Spartan-3E Starter Kit Board

Figura de "Spartan-3E FPGA Starter Kit Board User Guide" Xilinx

Señales VGA

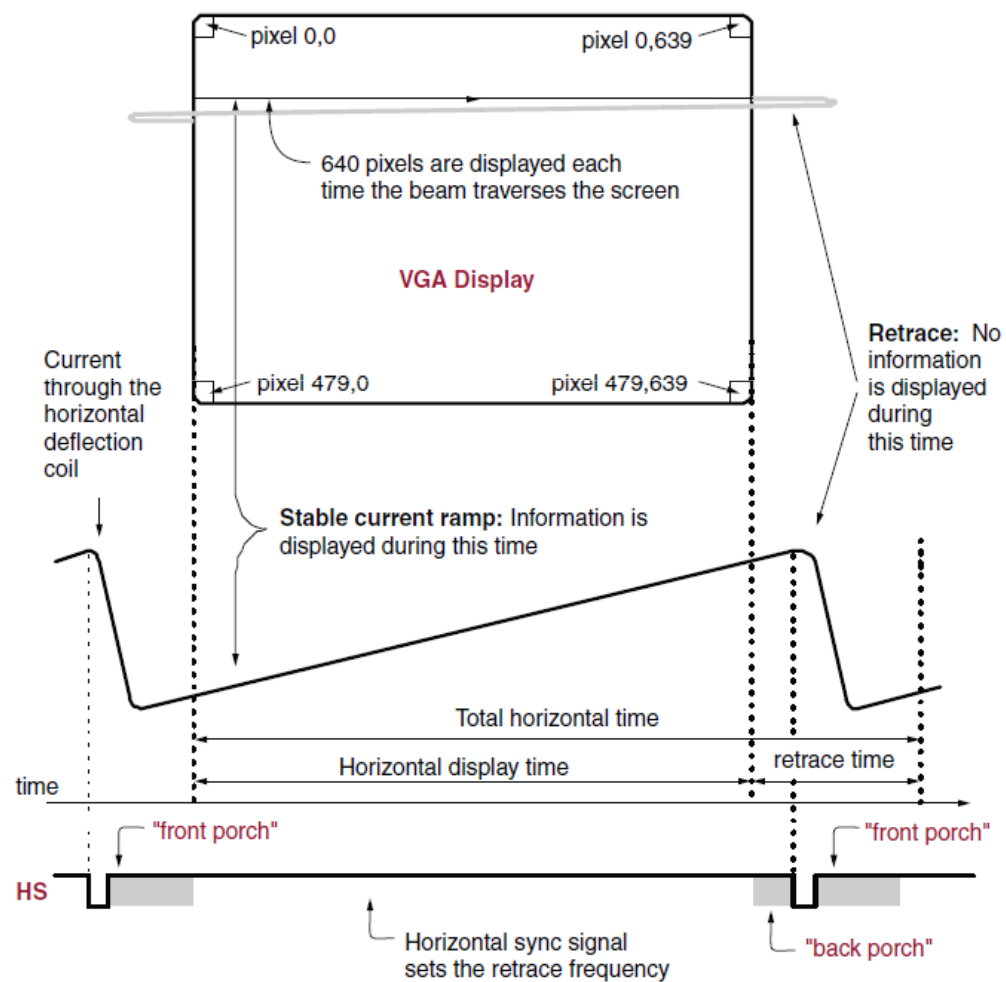


Figura de "Spartan-3E FPGA Starter Kit Board User Guide" Xilinx

Señales VGA

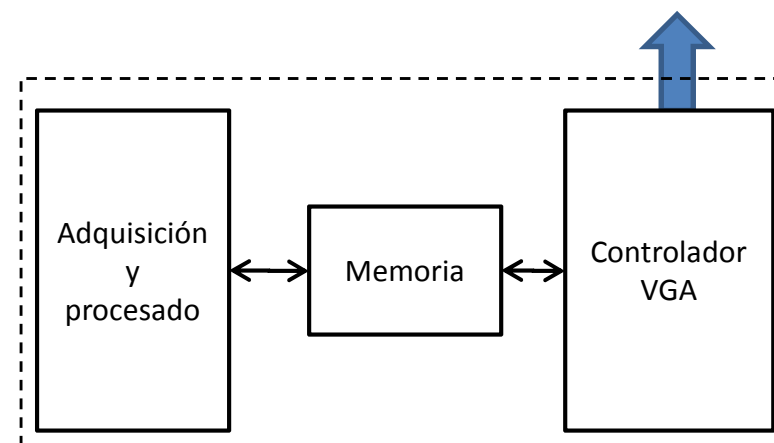


Table 6-2: 640x480 Mode VGA Timing

Symbol	Parameter	Vertical Sync			Horizontal Sync	
		Time	Clocks	Lines	Time	Clocks
T_S	Sync pulse time	16.7 ms	416,800	521	32 μ s	800
T_{DISP}	Display time	15.36 ms	384,000	480	25.6 μ s	640
T_{PW}	Pulse width	64 μ s	1,600	2	3.84 μ s	96
T_{FP}	Front porch	320 μ s	8,000	10	640 ns	16
T_{BP}	Back porch	928 μ s	23,200	29	1.92 μ s	48

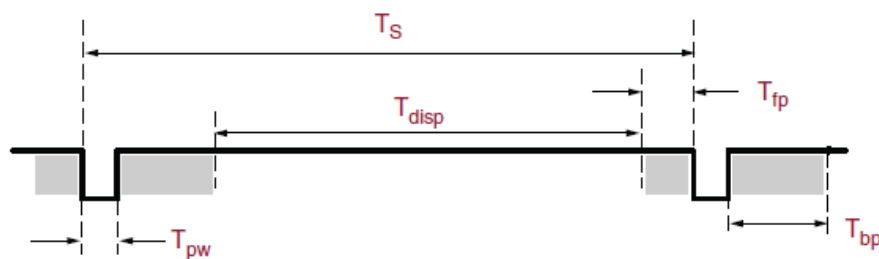


Figura de "Spartan-3E FPGA Starter Kit Board User Guide" Xilinx

Otros indicadores: alarmas sonoras



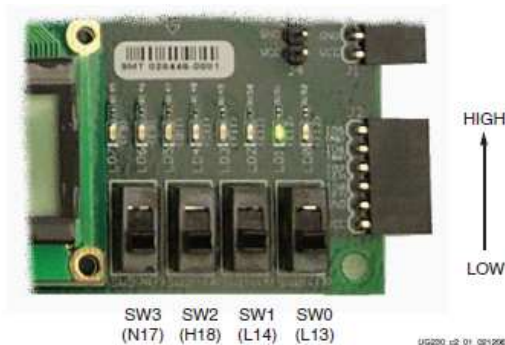
Generación de señales de frecuencias audibles

	Oc. 5 (Hz)	Oc. 6 (Hz)
<i>Do</i>	523,25	1046,50
<i>Do#</i>	554,37	1108,73
<i>Re</i>	587,33	1174,66
<i>Re#</i>	622,25	1244,51
<i>Mi</i>	659,26	1318,51
<i>Fa</i>	698,46	1396,91
<i>Fa#</i>	739,99	1479,98
<i>Sol</i>	783,99	1567,98
<i>Sol#</i>	830,61	1661,22
<i>La</i>	880,00	1760,00
<i>La#</i>	932,33	1864,66
<i>Si</i>	987,77	1975,53



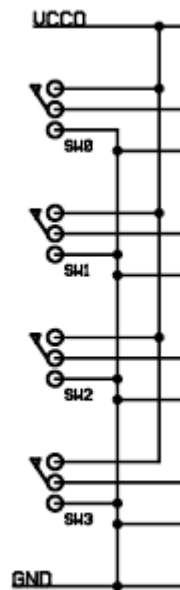
Interruptores, pulsadores, teclados

Interruptor (dos estados)



SW3 SW2 SW1 SW0
(N17) (H18) (L14) (L13)

Figure 2-1: Four Slide Switches



Pulsador

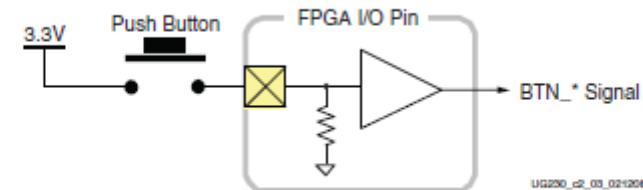
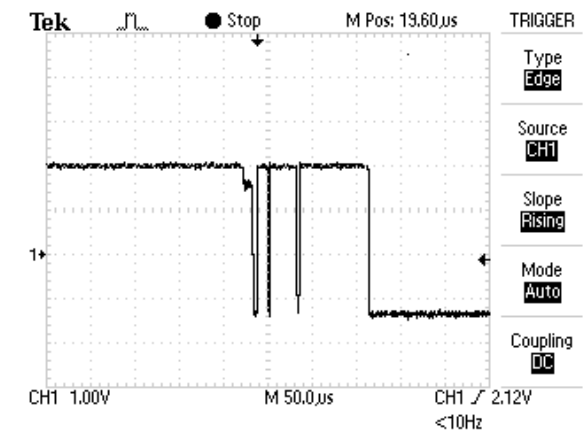
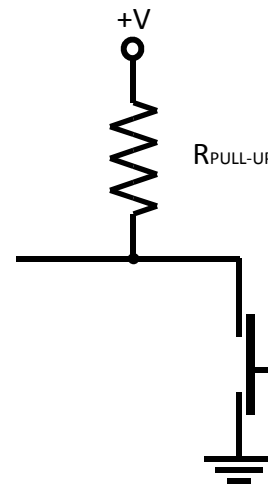
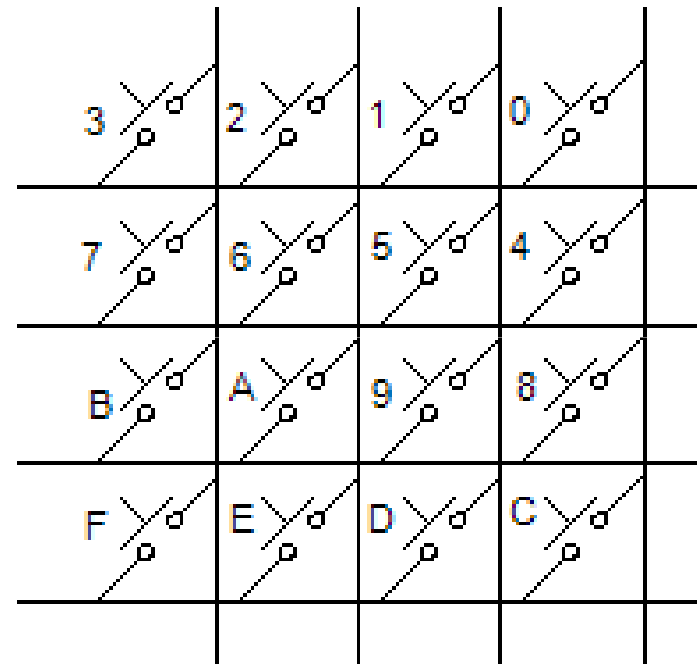


Figure 2-4: Push-Button Switches Require an Internal Pull-Down Resistor in FPGA Input Pin

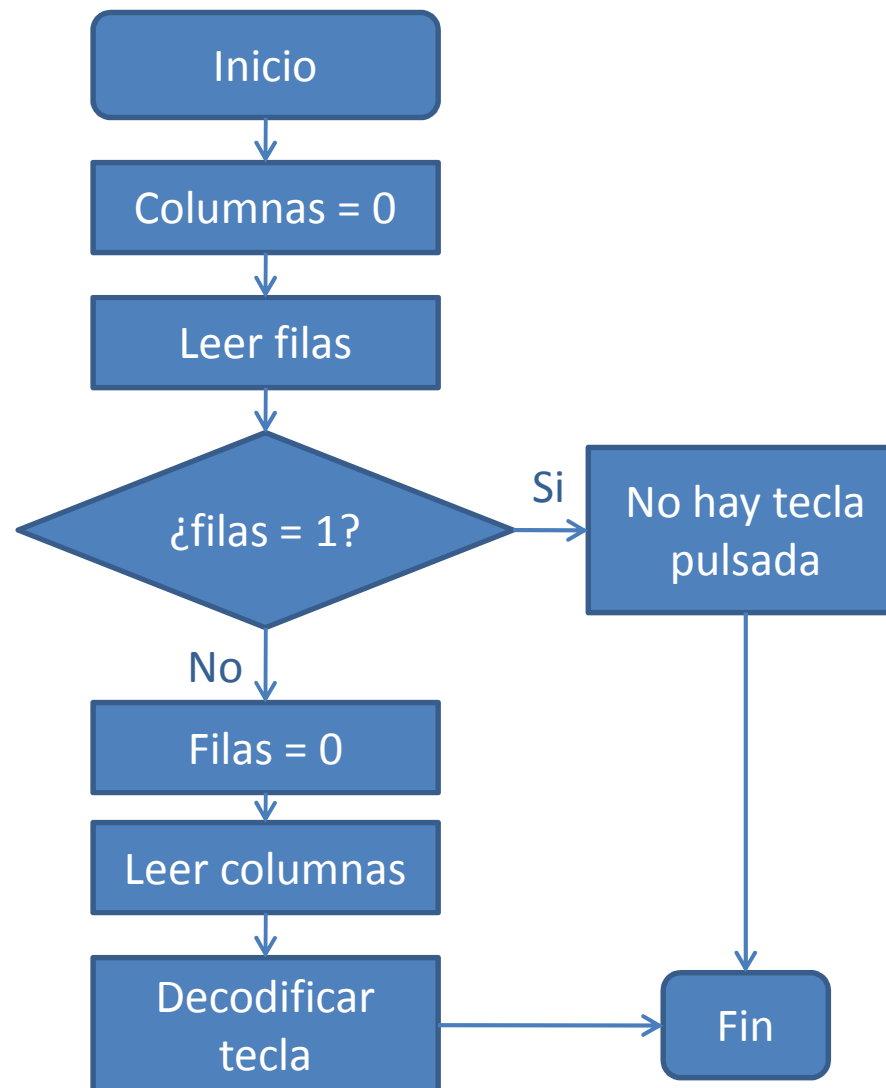
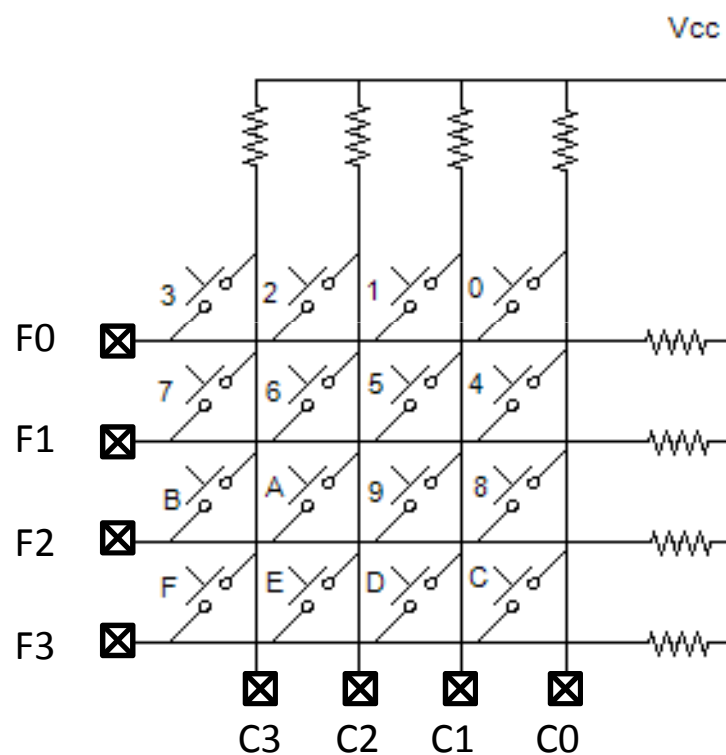
Eliminación de rebotes (alternativas HW y SW)



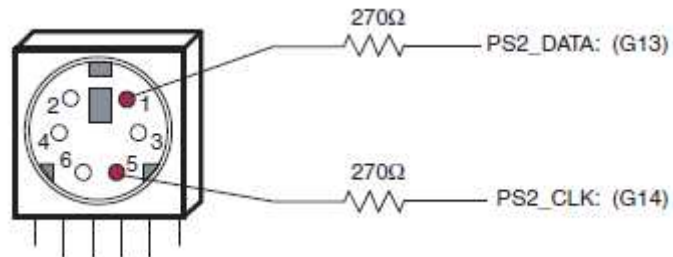
Teclados matriciales



Teclados matriciales



Teclados y ratones: Interfaz serie PS/2



ESC 76	F1 05	F2 06	F3 04	F4 0C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	↑ E0 75	
~ 0E	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6^ 36	7& 3D	8* 3E	9(46	0) 45	-_ 4E	=+ 55	Back Space ← 66	→ E0 74
TAB 0D	Q 15	W 1D	E 24	R 2D	T 2C	Y 35	U 3C	I 43	O 44	P 4D	[{ 54	]} 5B	\ 5D	← E0 6B
CapsLock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J 3B	K 42	L 4B	:: 4C	"" 52	Enter 5A	↵ 59	↓ E0 72
Shift 12	Z 1Z	X 22	C 21	V 2A	B 32	N 31	M 3A	,< 41	>. 49	!/? 4A	↵ 59	Shift 59		
Ctrl 14	Alt 11	Space 29						Alt E0 11	Ctrl E0 14					

Figure 8-3: PS/2 Keyboard Scan Codes

UG250_c8_03_021006

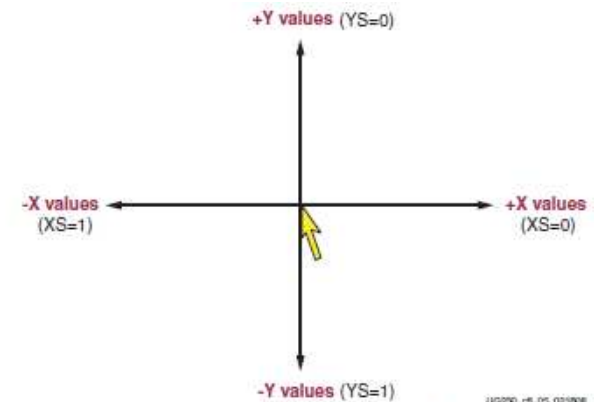
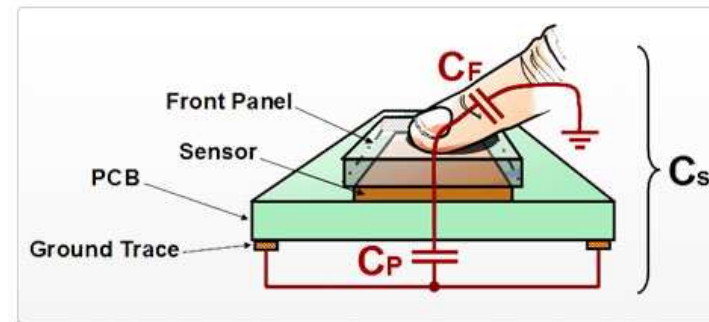


Figure 8-5: The Mouse Uses a Relative Coordinate System to Track Movement

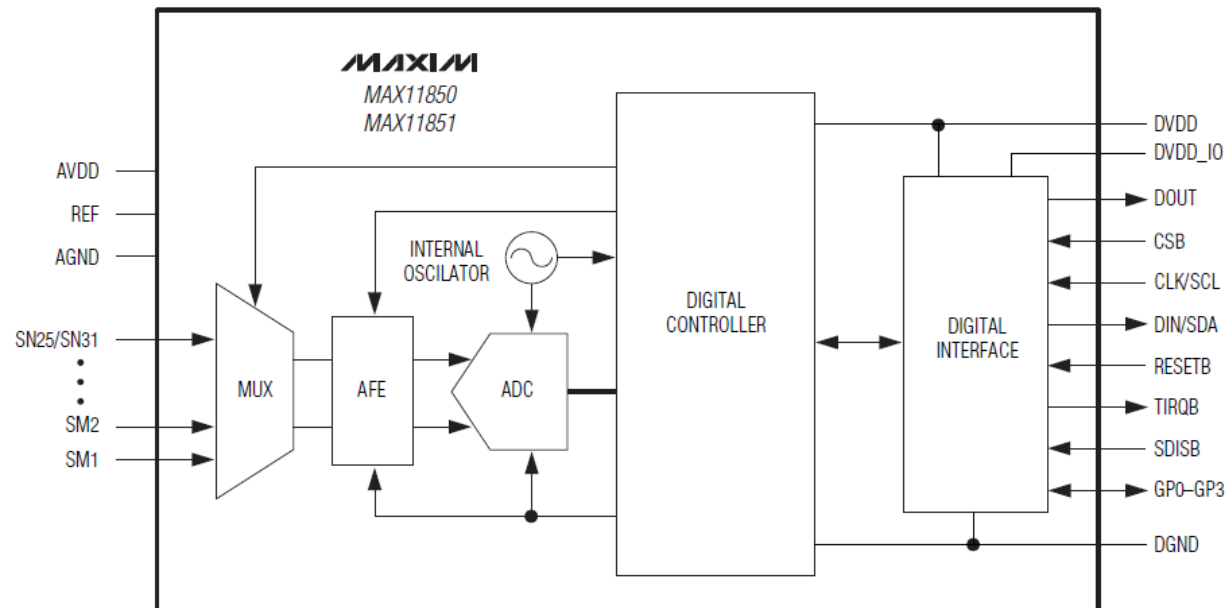
UG250_c8_05_021006

Teclados, pulsadores y barras capacitivos



Necesitan funciones de temporización +
conversión A/D

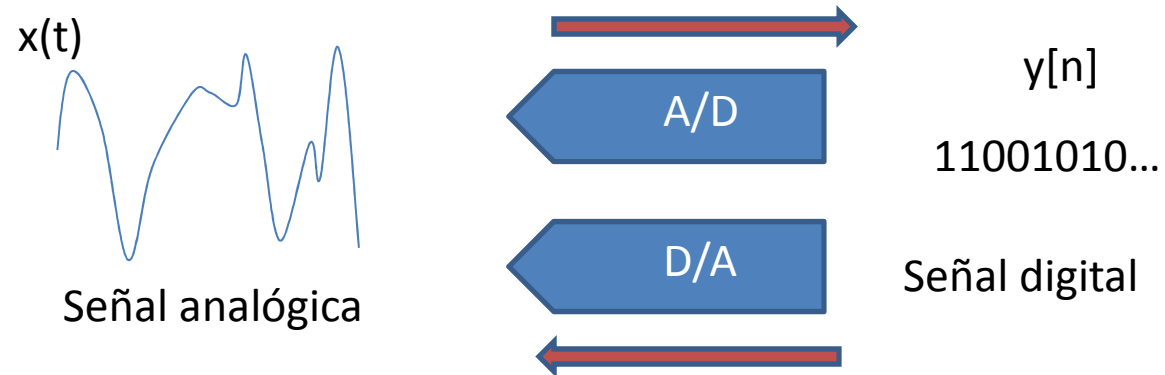
"mTouch evaluation kit" Microchip





Captura de datos

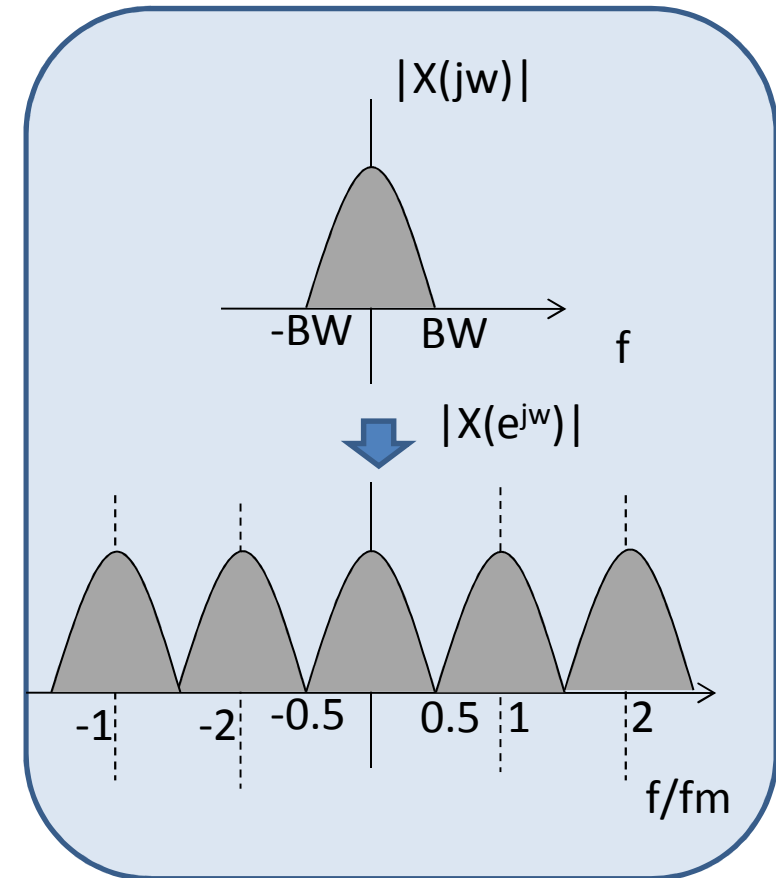
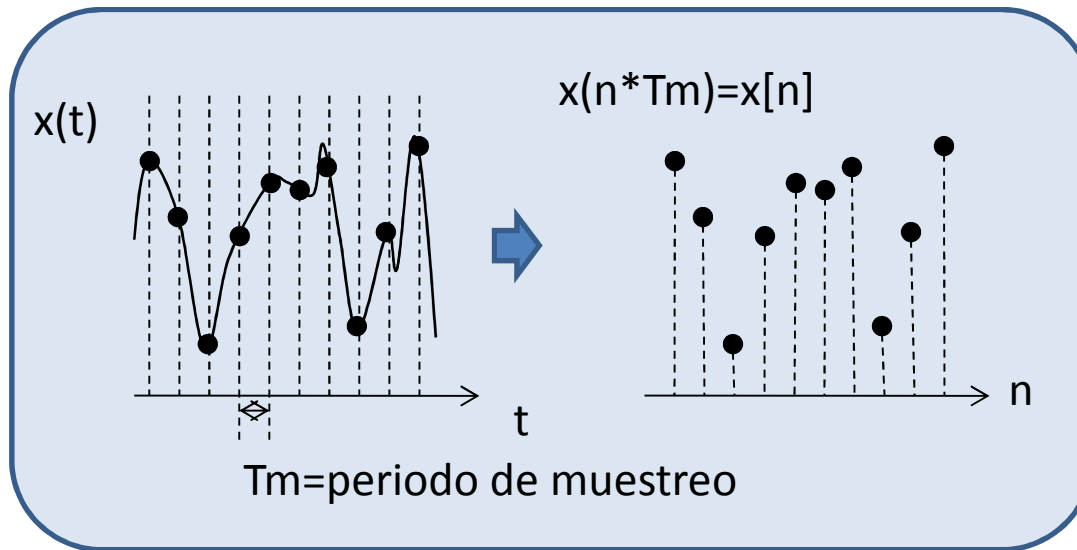
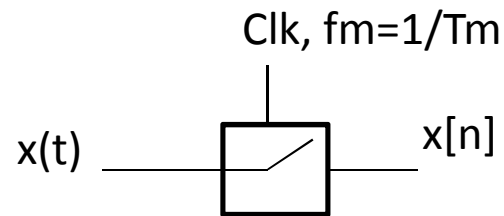
Conversión A/D: Fundamentos



Una conversión A/D incluye:

- Discretización temporal
- Cuantificación de amplitud

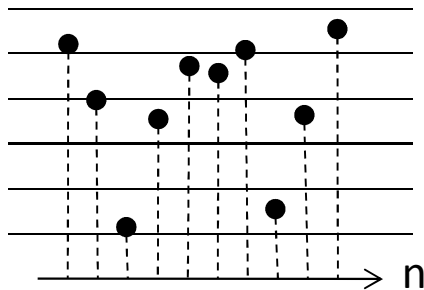
Muestreo de una señal continua en el tiempo



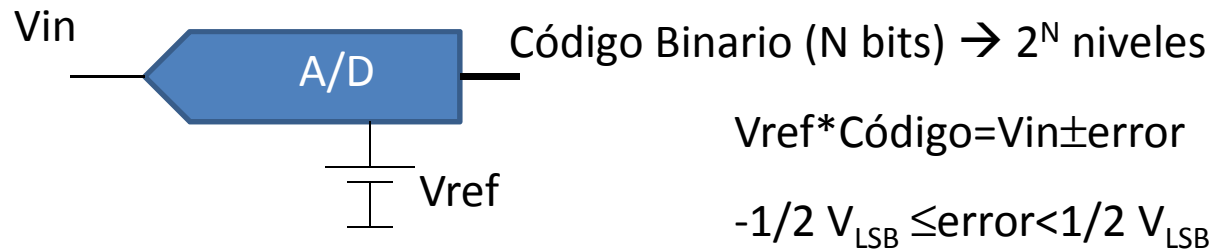
Frecuencia de Nyquist= mínima frecuencia de muestreo para evitar “aliasing”
 = $2 \cdot BW$ (velocidad mínima que permite detectar los cambios de signo)

Cuantificación de amplitud

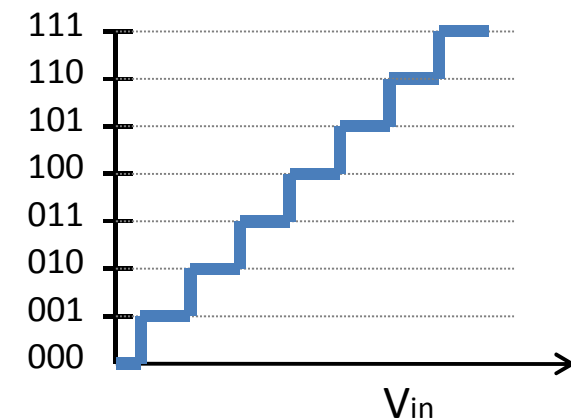
Hay un rango de tensiones que se divide en un número entero de niveles



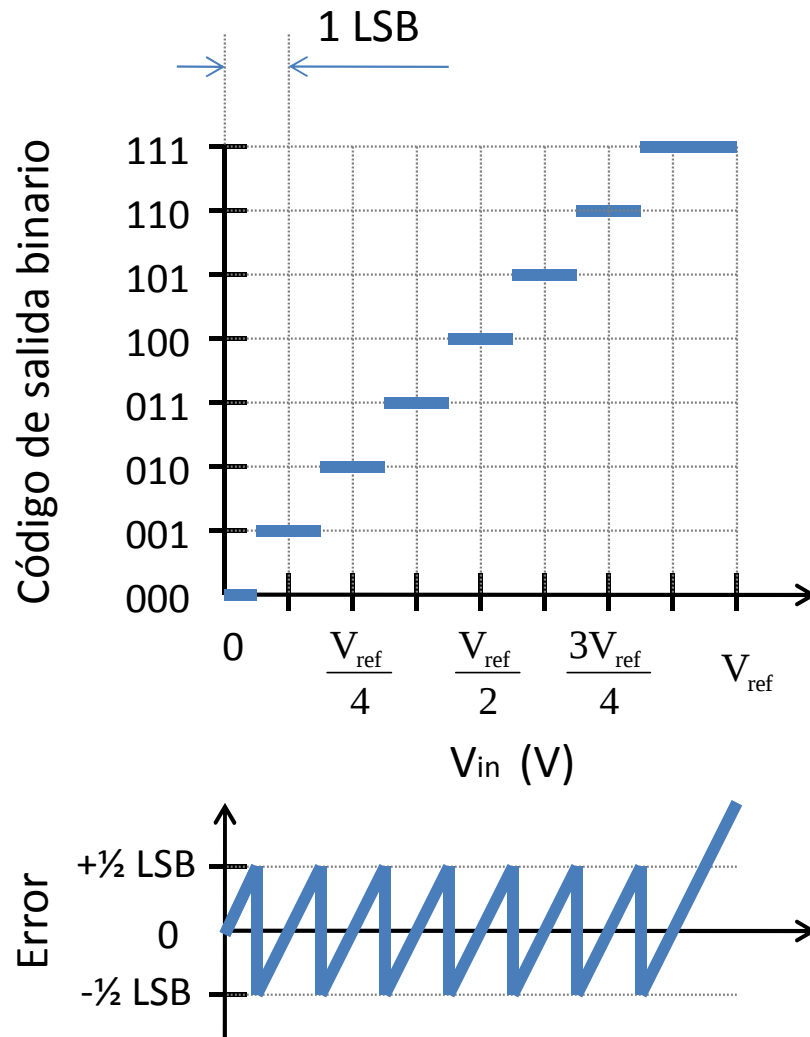
Se comete siempre un error, que será más pequeño si se usan más niveles



Tamaño del escalón: $V_{LSB} = V_{ref} / 2^N$



Discretización de amplitud, error de cuantificación



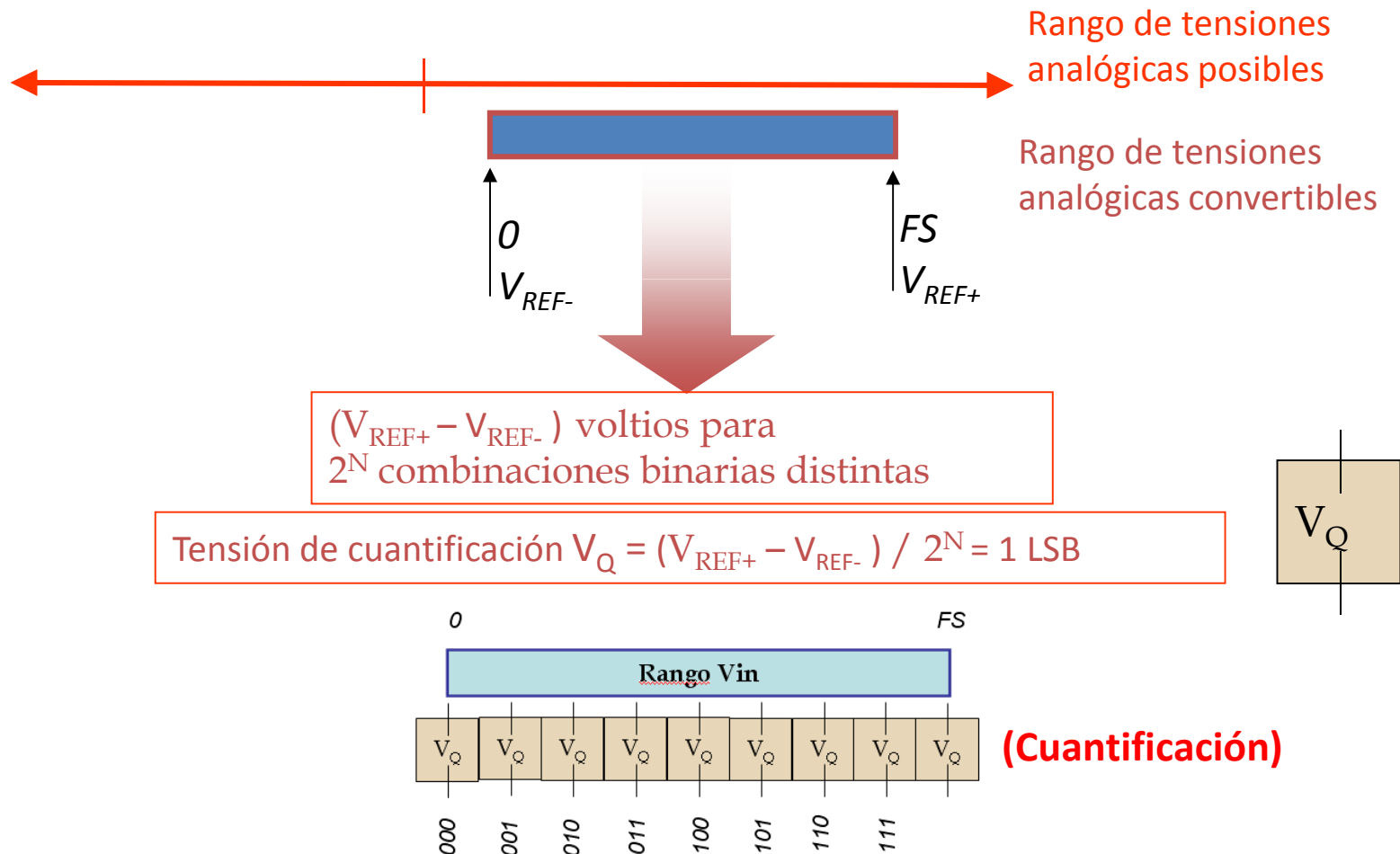
$$V_{in} = V_Q \sum_{k=0}^{N-1} b_k 2^k + \varepsilon$$

Error

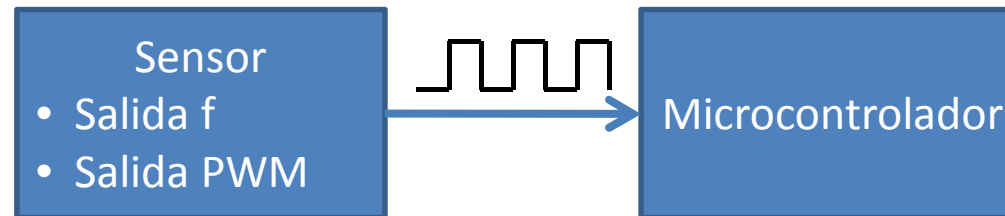
Resolución	Relación señal a ruido
6 bits	37.9 dB
8 bits	49.9 dB
10 bits	62.0 dB
12 bits	74.0 dB
14 bits	86.0 dB
16 bits	98.1 dB

Discretización de amplitud (RESOLUCION):

La tensión se representa con un número de bits N , dando lugar a 2^N combinaciones distintas que nos permite representar 2^N valores discretos de tensión



Captura de señales digitales



En el dominio del tiempo:

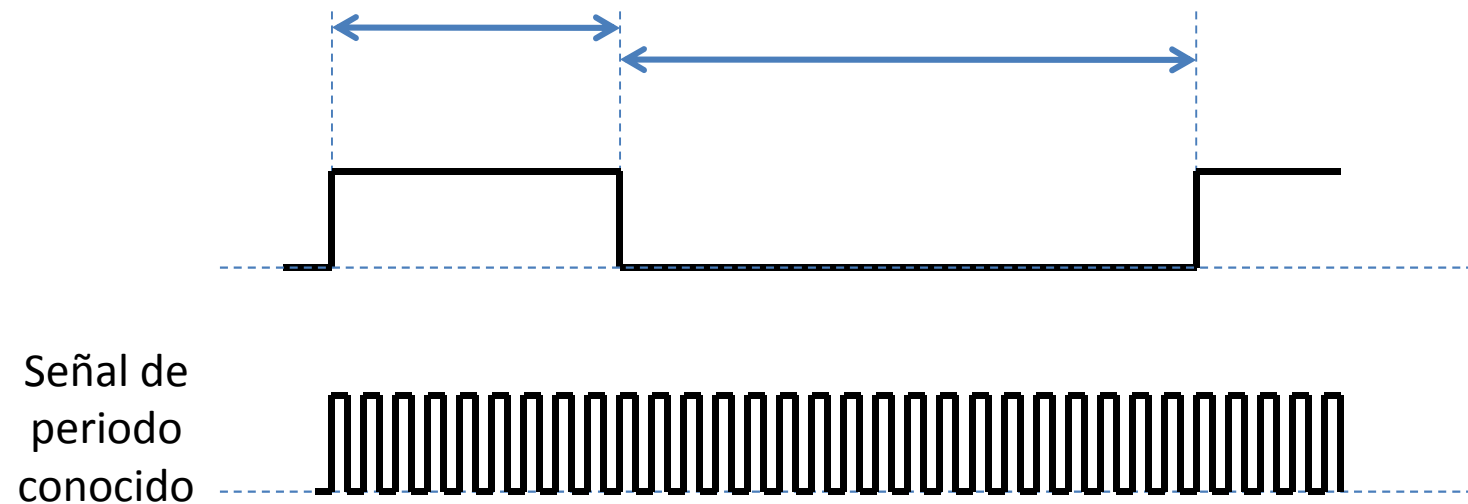
- Periodo de una señal periódica
- Intervalo de tiempo que dura una señal
- Tiempo que transcurre entre dos eventos

En el dominio de la frecuencia:

- Frecuencia de una señal periódica
- El número de eventos en un determinado periodo de tiempo

Medida de periodos

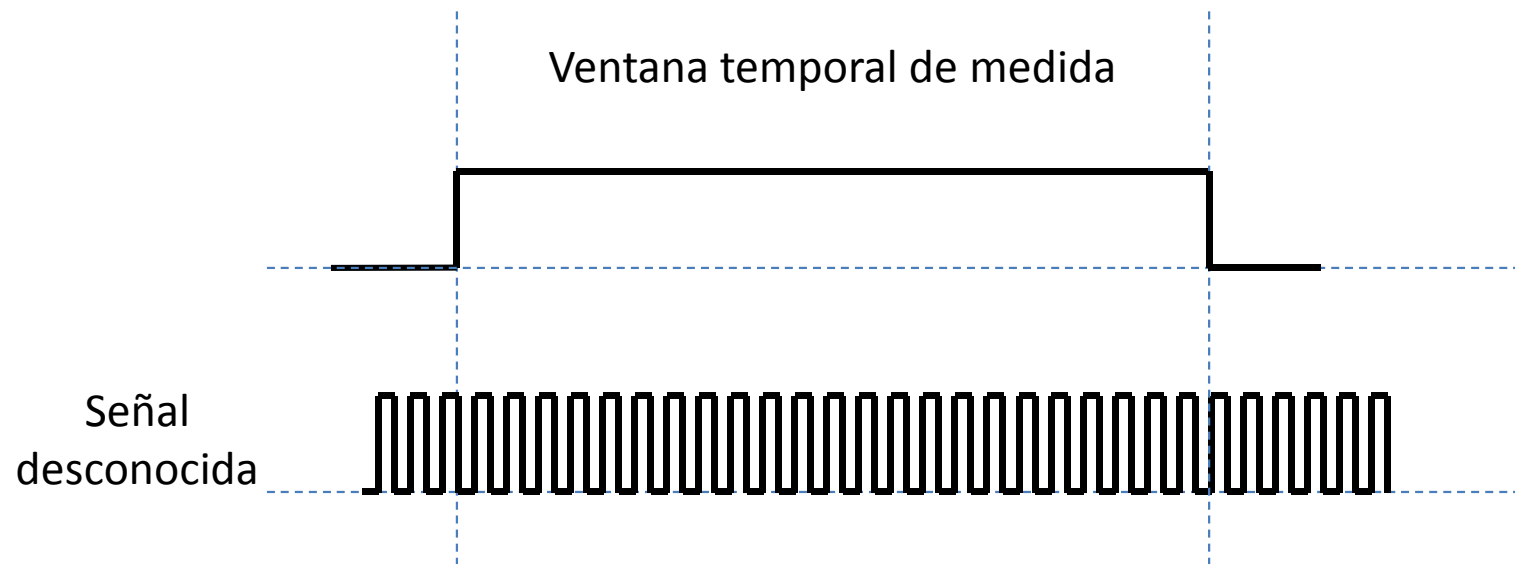
Intervalos de tiempo desconocidos



$$\text{Tiempo} = \text{Periodo conocido} \left[\frac{s}{\text{cuenta}} \right] \times \text{cuentas acumuladas}$$

¿ Resolución ?

Medida de frecuencias

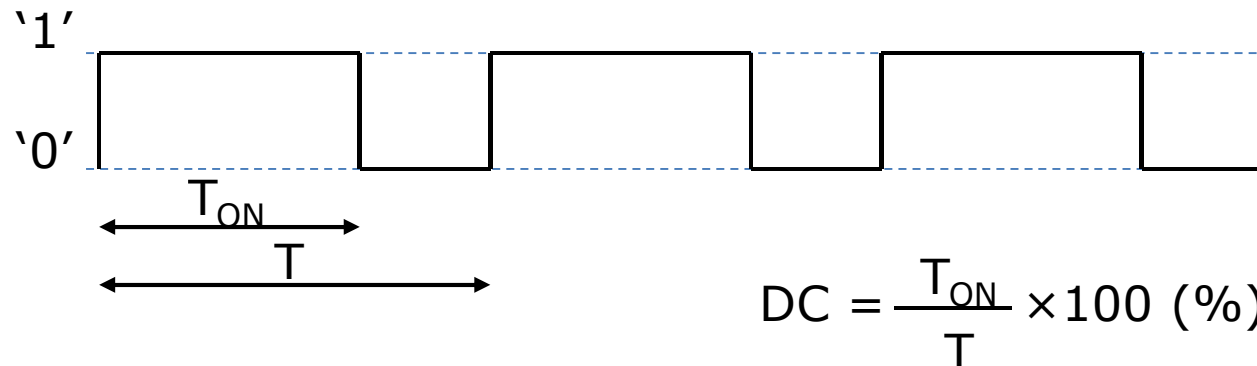


$$\text{Frecuencia promedio} = \text{Tiempo conocido [s]} \times \text{cuentas acumuladas}$$

Generación de señales

Conversión DA

Generación de señal PWM



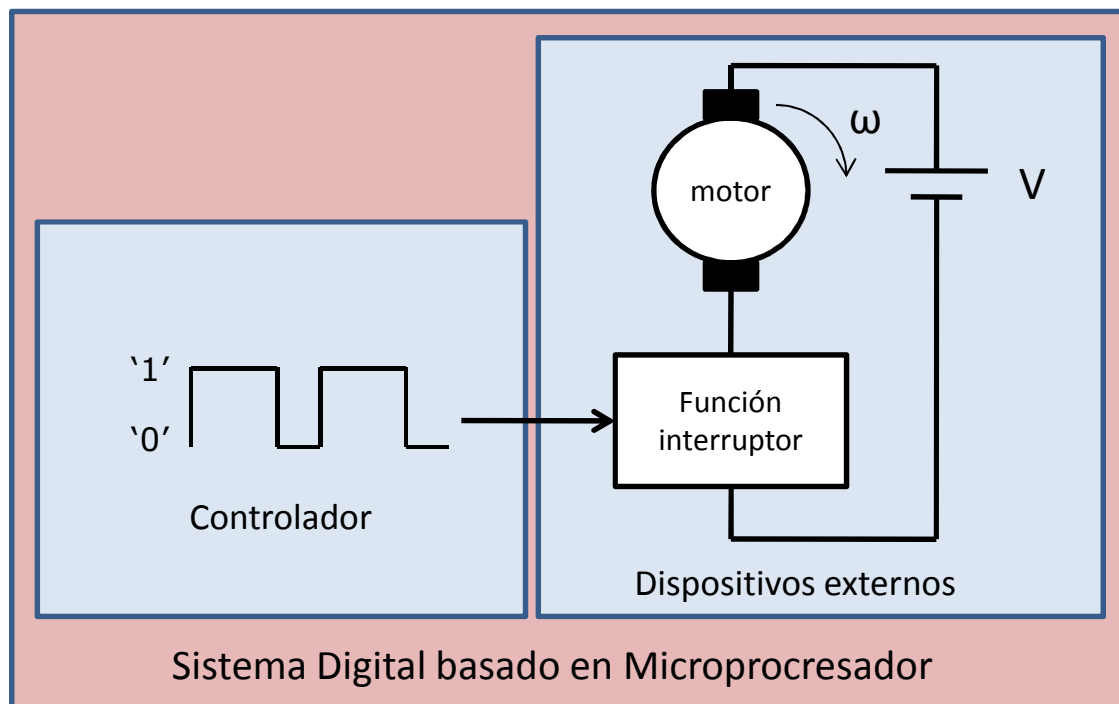
PWM = Pulse Width Modulated (Modulación por ancho de pulso)

DC = Duty Cycle (ciclo de trabajo)

Generación de señal señales de control

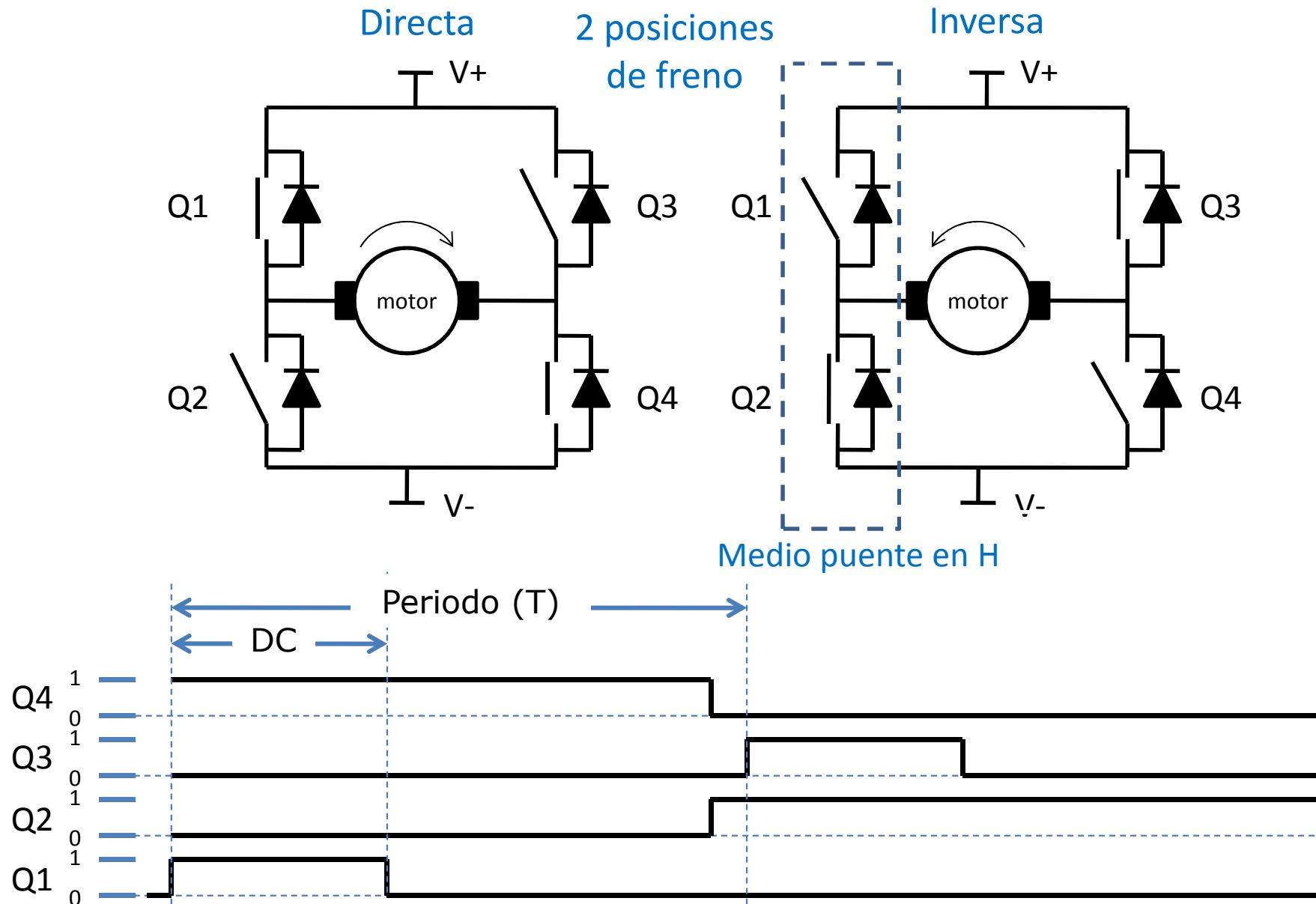
Temporizadores

Control de motores de corriente continua



Tensión Nominal	12V
Velocidad Nominal a 12V	120 rpm
Consumo sin carga 12V	60 mA
Consumo eje frenado 12V	1500 mA
Relación engranajes	50:1
Fuerza de parada	8,87 kg·cm
Peso	152 g

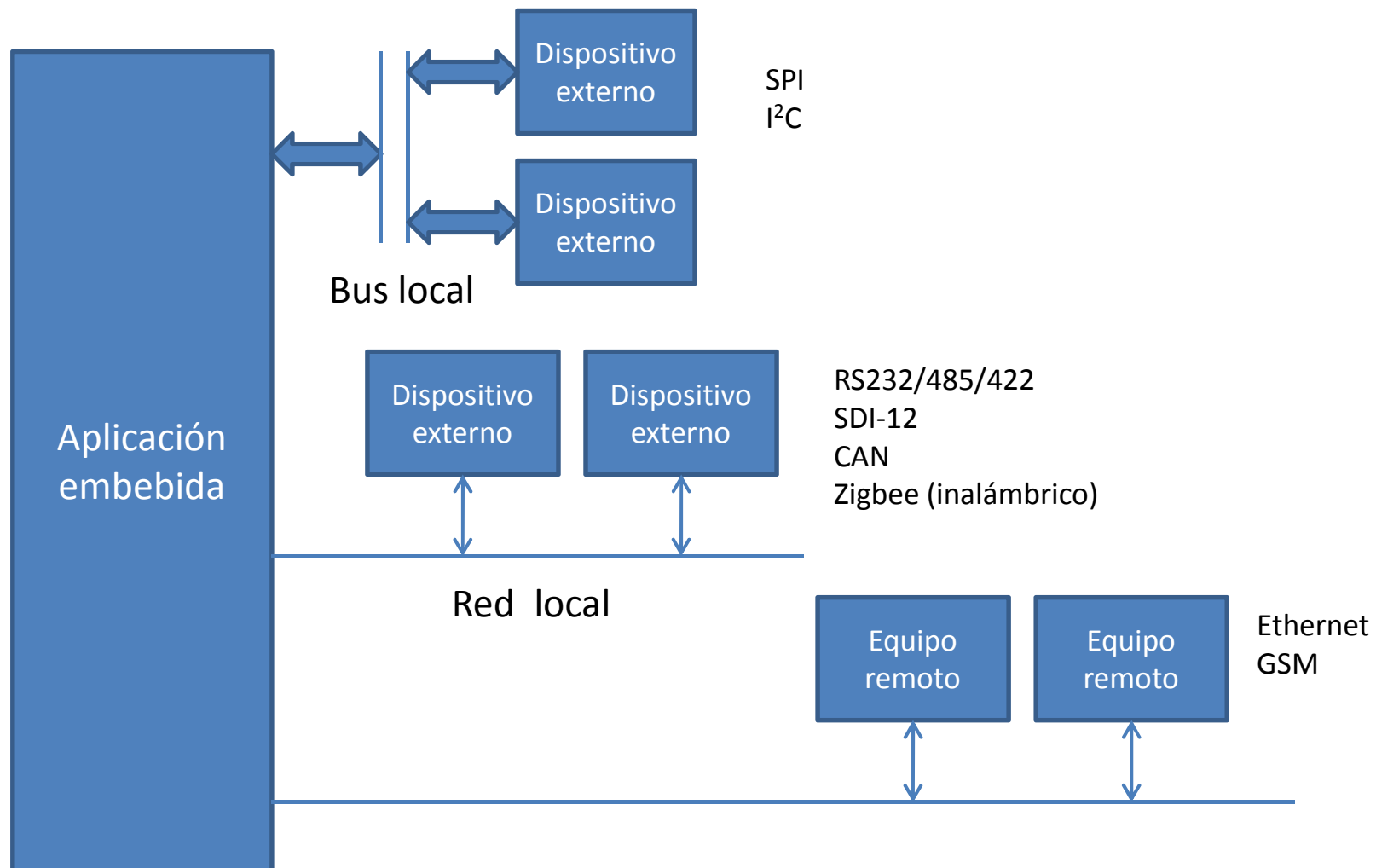
Control de motores de corriente continua





Comunicación serie

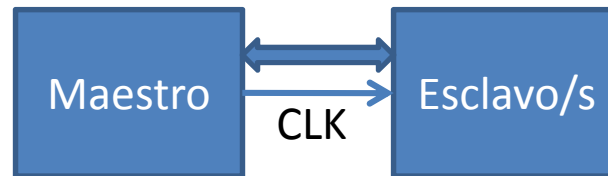
Arquitectura del sistema





Buses locales

Interfaces de comunicación serie síncronas



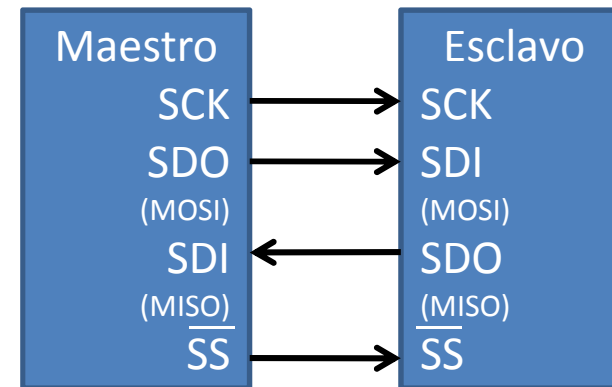
- Estándar de comunicación SPI (Serial Peripheral Interface)
- Estándar I²C (Inter-Integrated Circuits)

Interfaz SPI: Características

Propuesto por Motorola

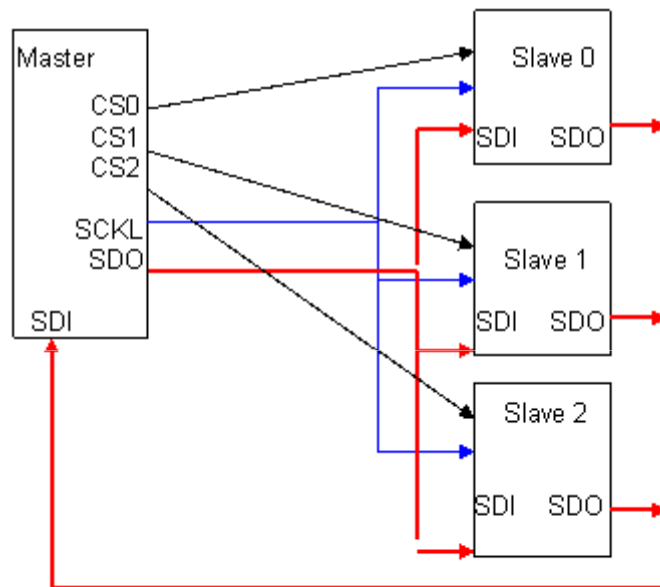
Señales:

- SCK (Serial Clock)
- SDI (Serial Data In)
- SDO (Serial Data Out)
- $\overline{SS}$ (Slave Select)

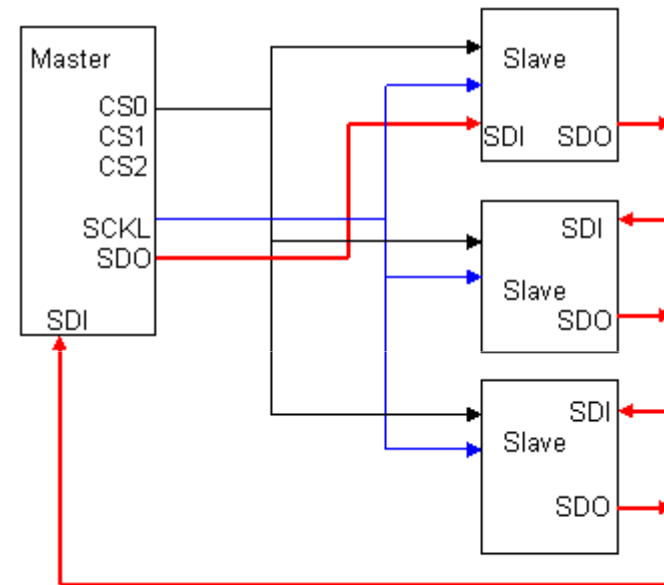


- ✓ Full duplex (*microwire* es una variante half-duplex)
- ✓ HW y protocolo muy sencillo.

Interfaz SPI: Conexiones



En paralelo



Daisy Chain

SDO requiere salida triestado

Interfaz SPI: Modos de funcionamiento

Dependen de:

- Polaridad de la señal de reloj
 - Estado inactivo a nivel bajo
 - Estado inactivo a nivel alto
- Fase del reloj
 - Bit en SDO antes del primer flanco de reloj
 - Bit en SDO tras el primer flanco de reloj

Modo	Polaridad	Fase
0	LOW	BIT
1	LOW	IDLE
2	HIGH	BIT
3	HIGH	IDLE

Interfaz I2C: Características Básicas

Desarrollado por Philips Semiconductor,

Version 1.0	1992	Standard (100-Kbps), Fast (400-Kbps)
Version 2.0	1998	High Speed (3.4-Mbps)

Orientado a comunicación de distintos integrados en una placa de circuito impreso

Características

<u>Serie Síncrono</u>	2 hilos (SDA, SCL)
<u>Maestro-Esclavo</u>	Dispositivos identificados por una dirección (7 bits o 10bits)
<u>Bidireccional</u>	float high, driven low

Definiciones básicas

Table 1 Definition of I²C-bus terminology

TERM	DESCRIPTION
Transmitter	The device which sends data to the bus
Receiver	The device which receives data from the bus
Master	The device which initiates a transfer, generates clock signals and terminates a transfer
Slave	The device addressed by a master
Multi-master	More than one master can attempt to control the bus at the same time without corrupting the message
Arbitration	Procedure to ensure that, if more than one master simultaneously tries to control the bus, only one is allowed to do so and the winning message is not corrupted
Synchronization	Procedure to synchronize the clock signals of two or more devices

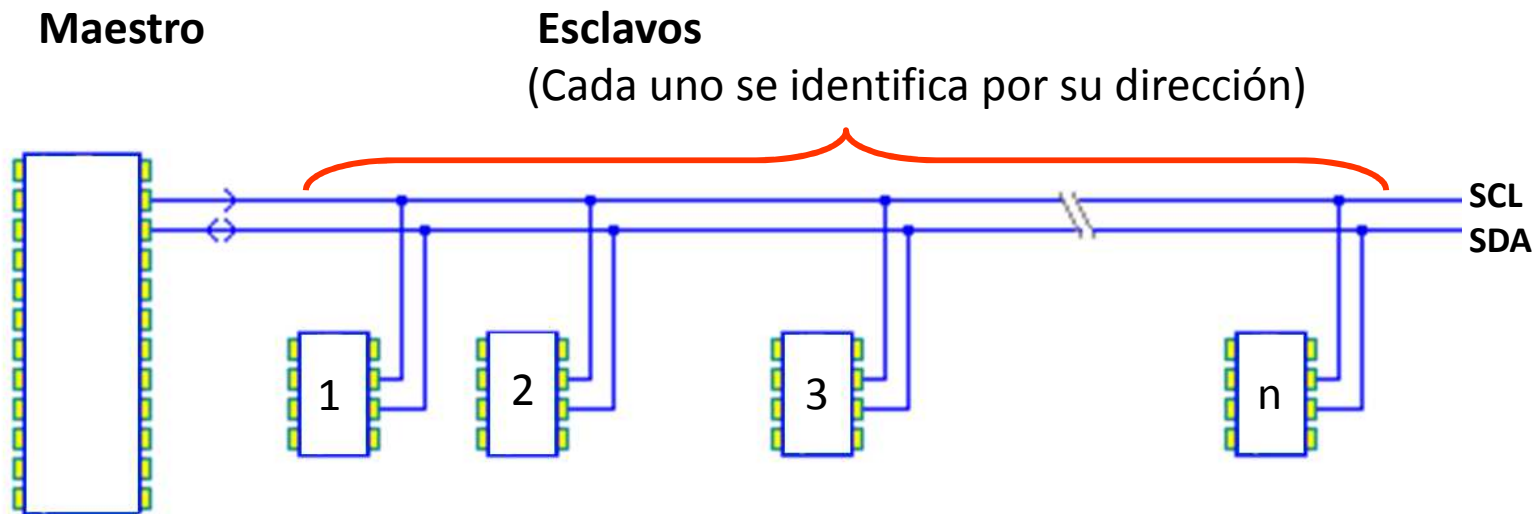
Esquema de Conexión

Interfase Serie Síncrono

dos hilos

SCL (Serial CLock)

SDA (Serial DATa)



Dos papeles distintos para los dispositivos en el Bus

Maestro / Esclavo

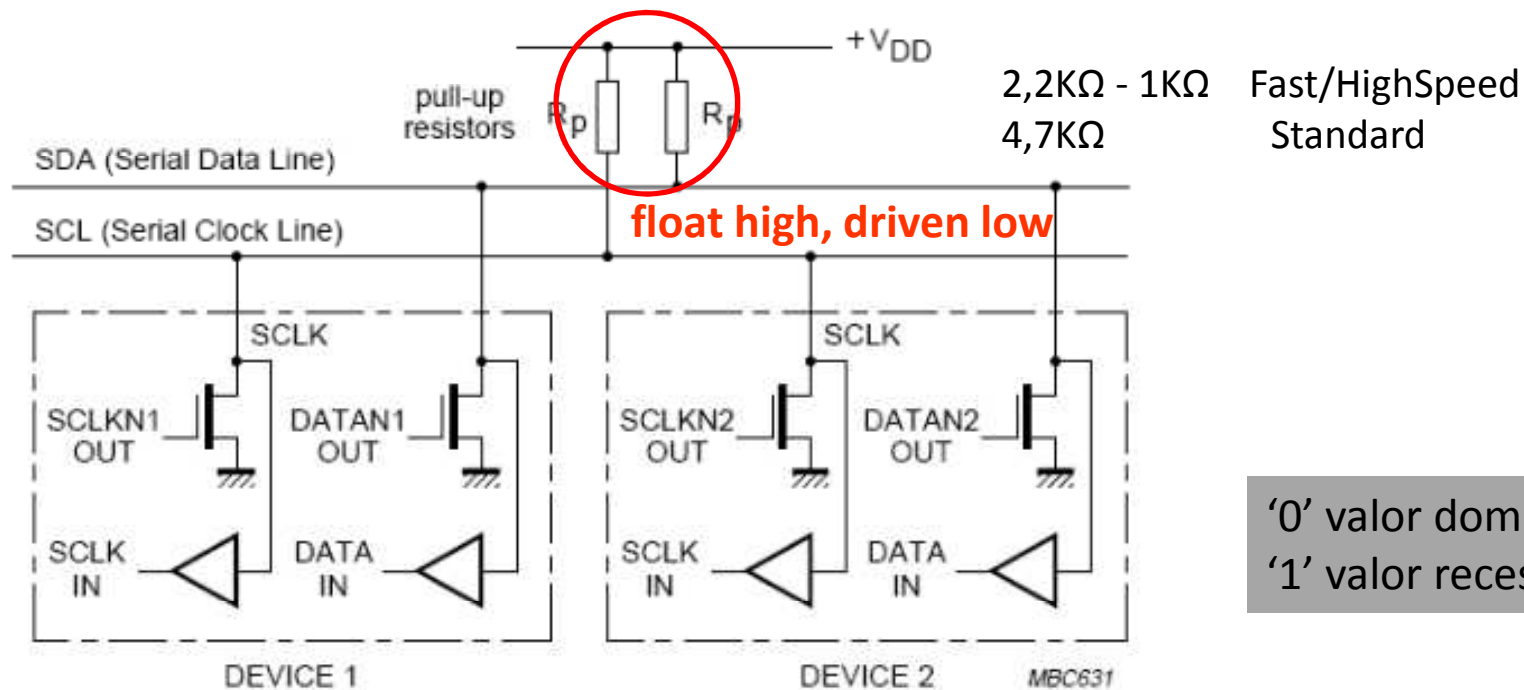
Emisor / Receptor

Conexión a nivel físico

Bidireccional

SDA (Serial DATA) es una línea bidireccional (SEMIDUPLEX)

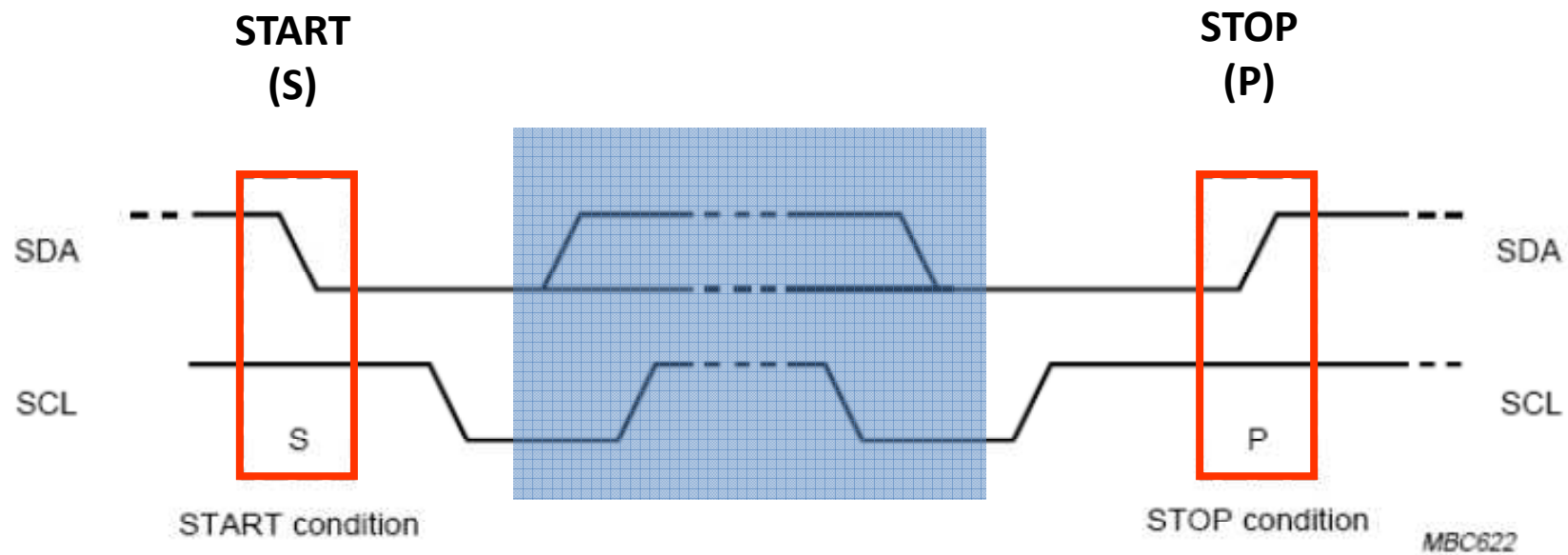
Líneas en colector abierto



'0' valor dominante
'1' valor recesivo

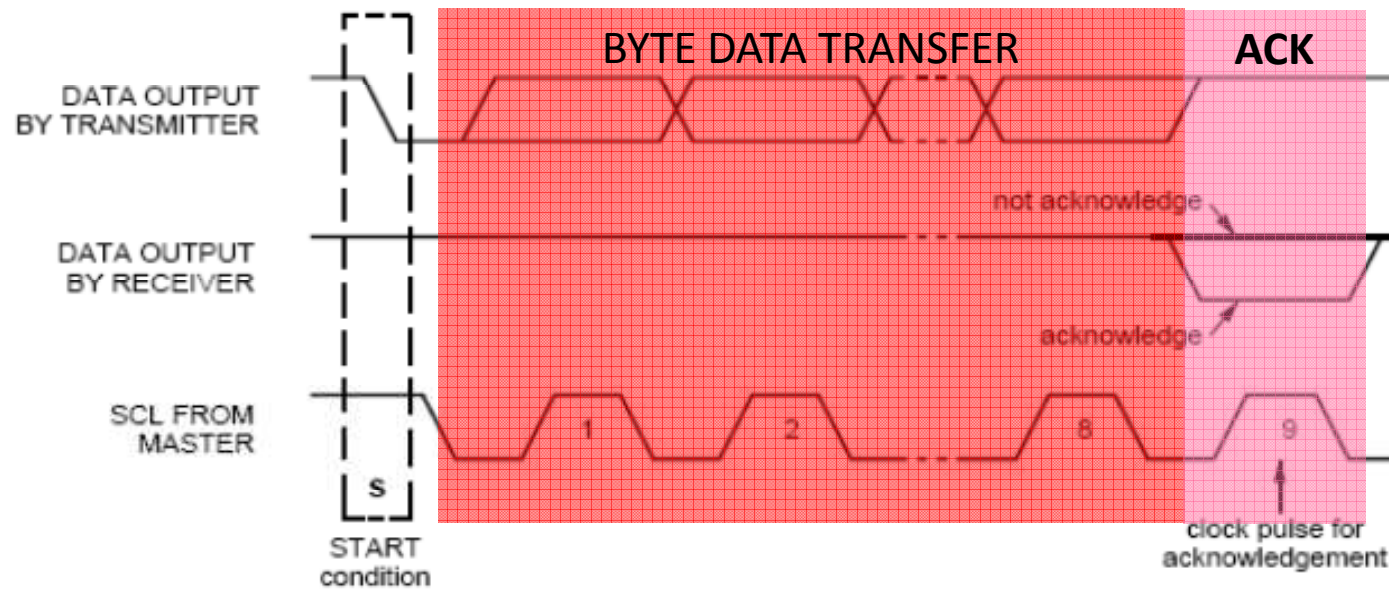
Figura de "The I2C-bus specification"
Phillips Semiconductor 2002

TRANSFERENCIAS – INICIO / FIN (Master)

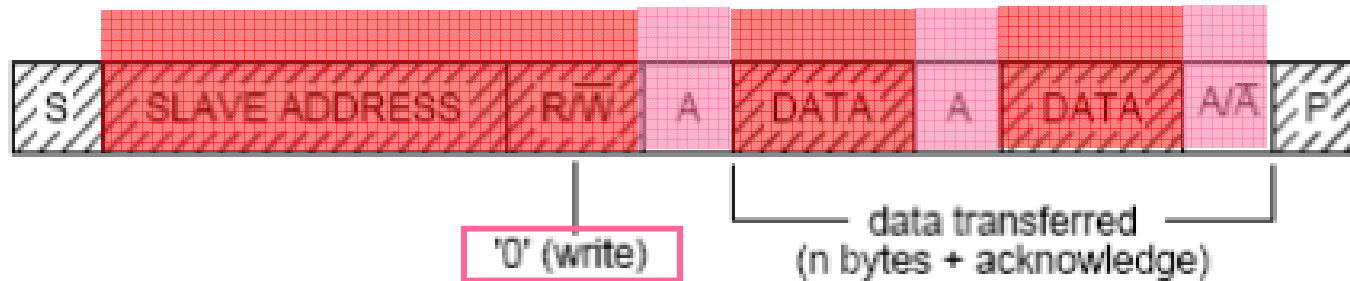


TRANSFERENCIAS – Acknowledge

A cada transferencia de 8 bits, se le añade un último bit (bit 9) de ACK



Formato de los mensajes (direcciones de 7 bits)



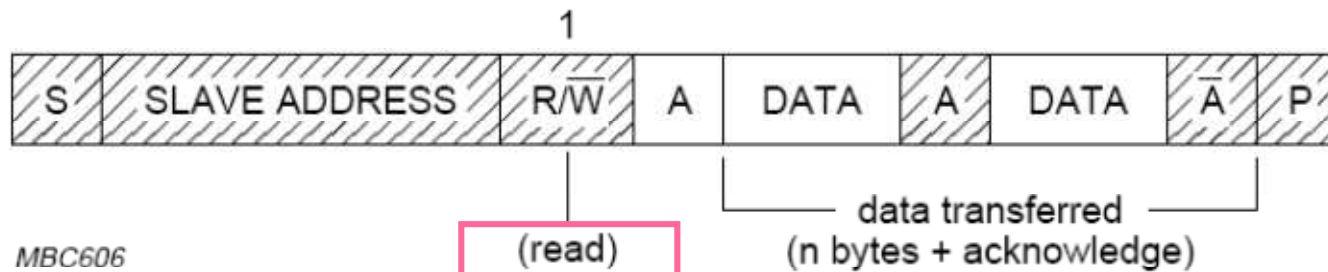
 from master to slave

 from slave to master

A = acknowledge (SDA LOW)

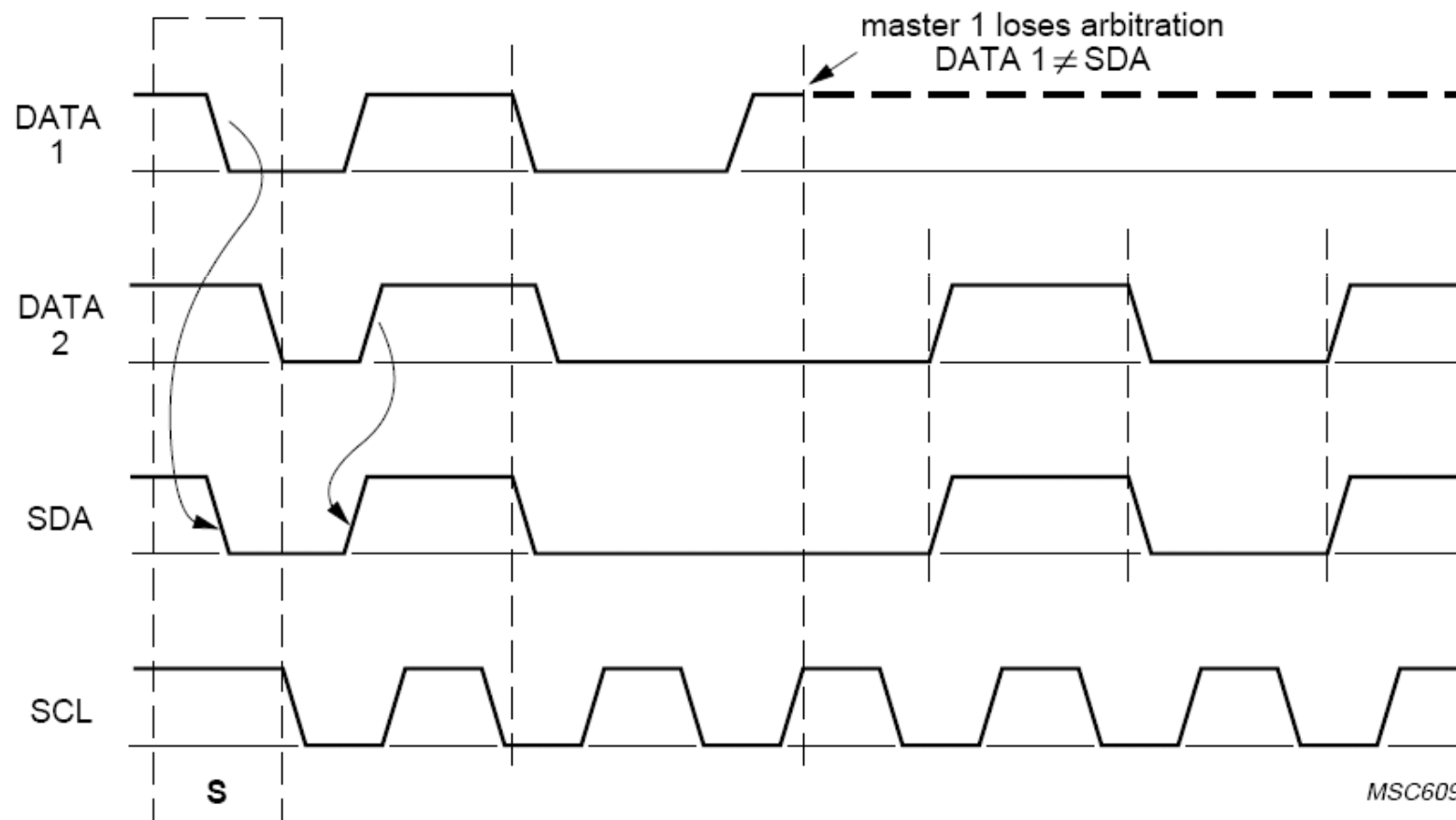
$\bar{A}$ = not acknowledge (SDA HIGH)

S = START condition



MBC606

Bus Arbitration





Redes locales

Protocolos Standard de Comunicación Serie

Interfase	Formato	Num. Dispositivos	Separación max.	Velocidad de Tx (bits/seg)
RS-232	Serie Asinc.	2	15 – 30 m	20k
IrDA	Serie Asinc.	2	2 m	115k
SPI	Serie Sinc.	8	3 m	2.1M
I2C	Serie Sinc.	40	5.5 m	400k
USB	Serie Asinc.	127	5 m	12M

RS232 Standard (EIA-232)

Origen del Standard RS232

Diseñado para comunicar un sistema DTE con un sistema DCE.

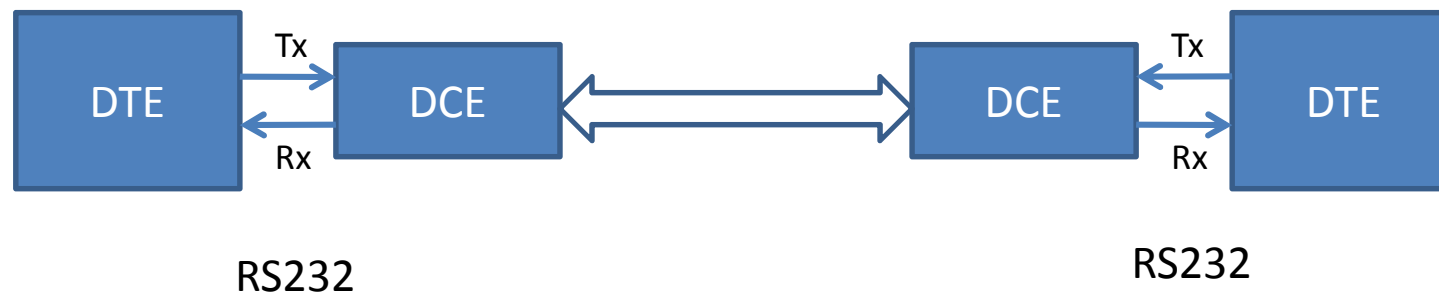
DTE (Data Terminal Equipment)

usualmente, un Ordenador

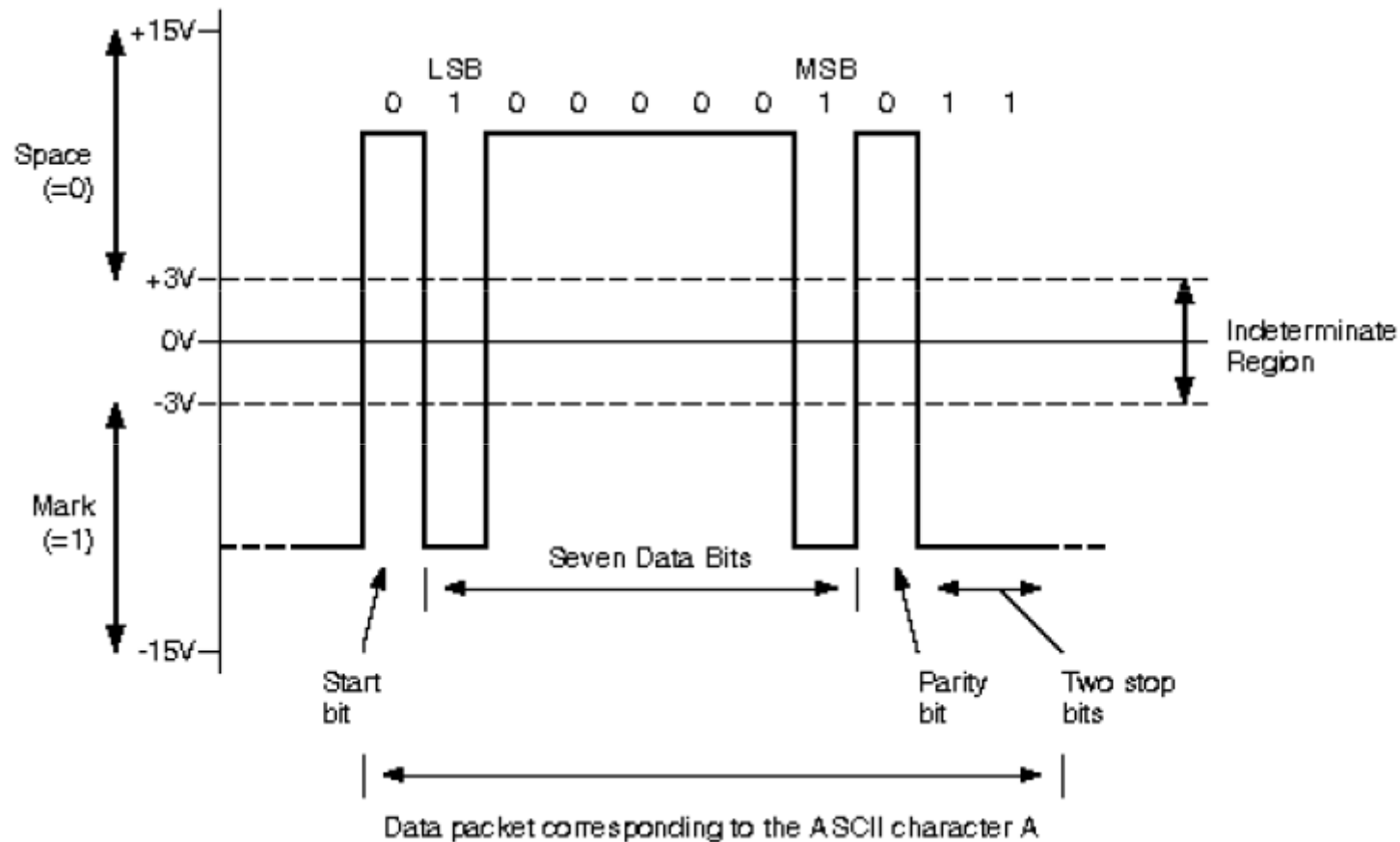
DCE (Data Communications Equipment)

usualmente, un módem

Empleando dos líneas de datos, TX (Transmisión) y RX (Recepción)

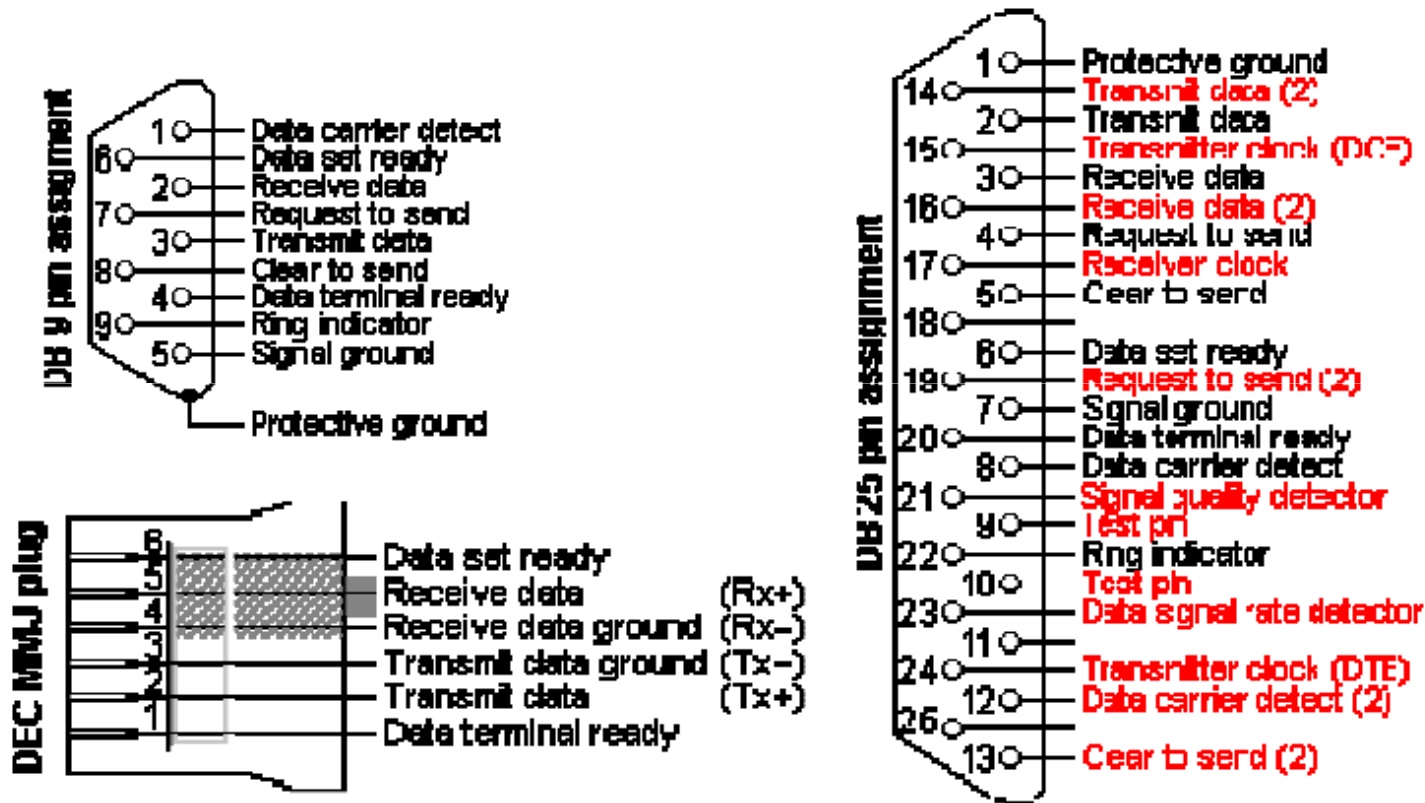


Norma RS-232: Niveles lógicos



Circuitos conversores de nivel: MAX232 (TTL a RS232 y RS232 a TTL)

Norma RS-232: Conectores

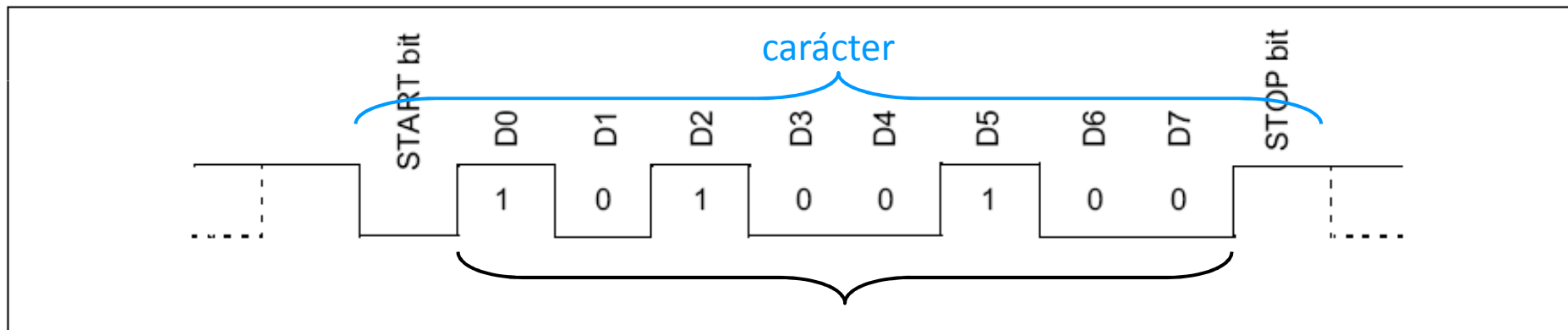


Norma RS-232: Formato de los mensajes

Al no existir reloj → Necesidad de sincronizar RX y TX

- Velocidad de transmisión fija y predeterminada
- Bits de comienzo y final

FIGURE 1: ASYNCHRONOUS MODE SIGNAL



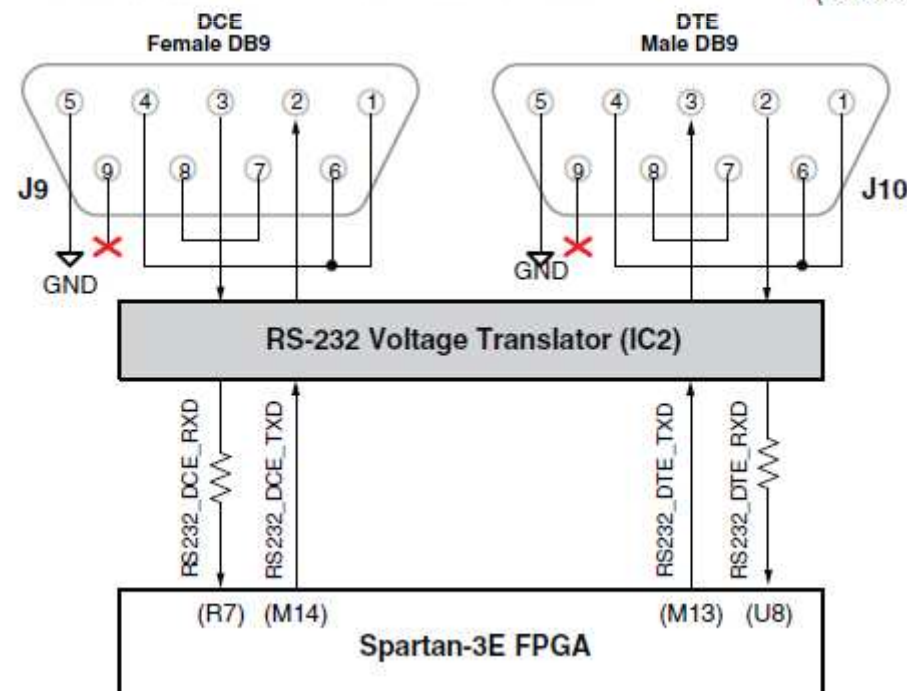
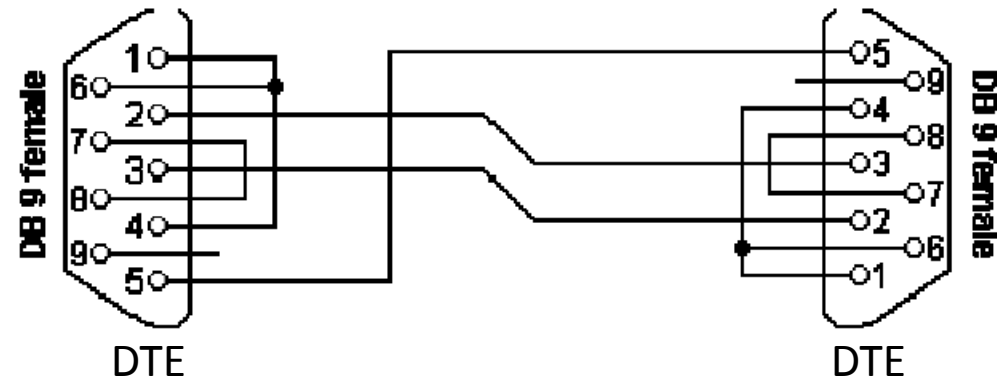
¿Qué es configurable en una comunicación asíncrona?

- Velocidad de transmisión
- Datos de 9 bits → Utilización de un bit de paridad
- Número de bits de parada: **1, 1.5, 2**

Señales del Protocolo RS232

Nombre	Dirección DTE ↔ DCE	Función	Comentario
TD	⇒	Transmitted data	Par de Datos
RD	⇐	Received Data	
RTS	⇒	Request to Send	Par de Handshake
CTS	⇐	Clear to Send	
DTR	⇒	Data Terminal Ready	Par de Handshake
DSR	⇐	Data Set Ready	
DCD	⇐	Data Carrier Detect	Habilitan DTE
RI	⇐	Ring Indicator	

Norma RS-232: Conexión null-modem (para anular control de flujo)



SDI-12: serial data interface at 1200 baud

SDI-12 se utiliza en aplicaciones con los siguientes requisitos:

- Sistemas alimentados por baterías con mínimos consumos de corriente
- Existe un único equipo de lectura y varios sensores conectados en un solo cable.
- “smart-sensors”: sensores basados en microprocesador que realizan algoritmos complejos de calibración u otro tipo de procesamiento.

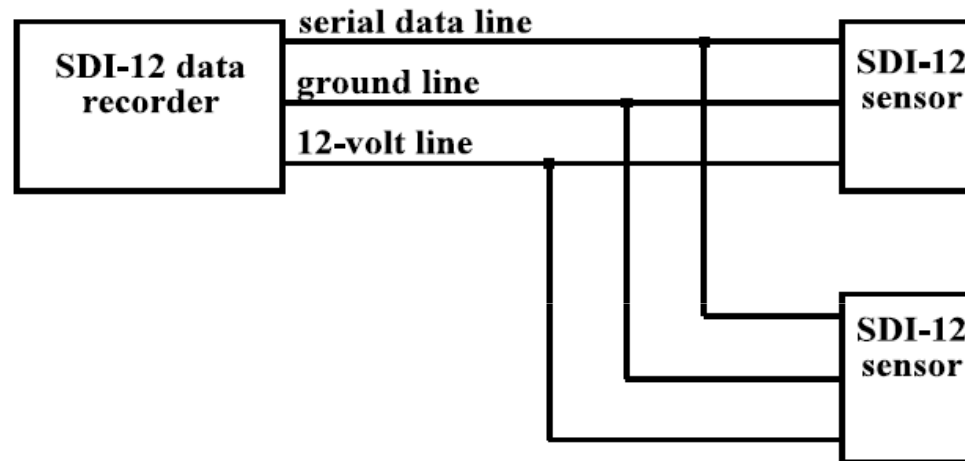
SDI-12
A Serial-Digital Interface Standard
for
Microprocessor-Based Sensors

Version 1.3

www.sdi-12.org

SDI-12: serial data interface at 1200 baud

SDI-12 Bus



Condition	Binary state	Voltage range
marking	1	-0.5 to 1.0 volts
spacing	0	3.5 to 5.5 volts
transition	undefined	1.0 to 3.5 volts

Table 1. Logic and voltage levels for serial data

The baud rate for SDI-12 is 1200. Table 2 shows the byte frame format for SDI-12.

1 start bit
7 data bits, least significant bit transmitted first
1 parity bit, even parity
1 stop bit

Table 2. SDI-12 byte frame format

Comandos y respuestas (caracteres ASCII)

Name	Command	Response
Break	Continuous spacing for at least 12 milliseconds	None
Acknowledge Active	a!	a<CR><LF>
Send Identification	a!	allccccccmmmmmmvvvxxx...xx<CR><LF>



Deberes

- Estudiar los componentes del circuito de captura analógica de la placa de desarrollo (amplificador de ganancia variable y conversor AD).
- Identificar el esquema de conexiones (paralelo o cadena).
- Determinar el modo de la interfaz SPI.