

UNIVERSIDAD CARLOS III DE MADRID

Tema 2. CPU

Departamento de Ingeniería de Sistemas y
Automática

RAÚL PÉRULA MARTÍNEZ
LUIS ENRIQUE MORENO LORENTE
ALBERTO BRUNETE GONZALEZ
CESAR AUGUSTO ARISMENDI GUTIERREZ
DOMINGO MIGUEL GUINEA GARCIA ALEGRE
JOSÉ CARLOS CASTILLO MONTOYA



Universidad
Carlos III de Madrid

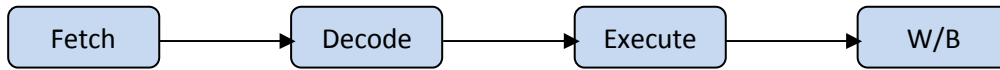


Esta obra se publica bajo una licencia Creative Commons Reconocimiento-NoComercial-CompartidaIgual 3.0 España.



Ejercicio 1

Dada una arquitectura simple:



Determinar:

1. La frecuencia de trabajo de la CPU suponiendo que la duración de las operaciones a realizar en las diferentes etapas son:

Etapa	Operación	Tiempo
Fetch		2 ns
Decode		1.3 ns
Execute	Entera	3 ns
	Suma / Resta PF	10 ns
	Multiplicación / División PF	15 ns
W/B		1.5 ns

2. Para la frecuencia obtenida, determinar el cronograma de ejecución para el siguiente código en ensamblador:

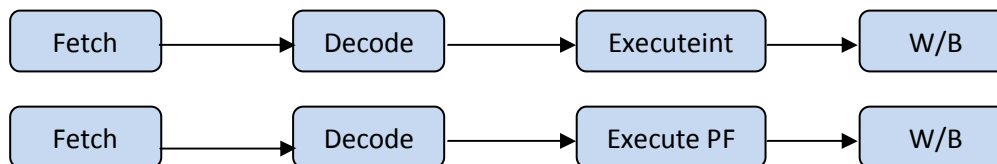
```

ld r1, 35(r2)
add r4, r2, r3
sub r7, r5, r6
sto r9, 0(r8)
    
```

Y calcular el tiempo en ciclos total y el número de ciclos necesarios por instrucción.

Ejercicio 2

Suponer una arquitectura superescalar con dos cauces, uno para operaciones enteras y otro para las operaciones en PF.



Determinar:

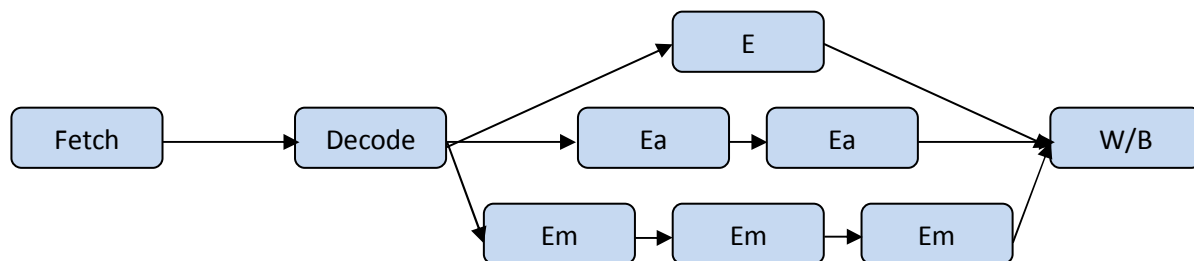
1. La frecuencia de trabajo de la CPU suponiendo que la duración de las operaciones a realizar en las diferentes etapas son:

Etapa	Operación	Tiempo
Fetch		2 ns
Decode		1.3 ns
Execute	Entera	3 ns
	Suma / Resta PF	10 ns
	Multiplicación / División PF	15 ns
W/B		1.5 ns

2. El cronograma de ejecución y CPI dado el código ensamblador del ejercicio anterior.
3. El tiempo de utilización de los cauces.

Ejercicio 3

Suponer que la etapa de ejecución puede tener longitud variable y que se segmenta en 1, 2 y 3 ciclos según sea aritmética entera, suma/resta en PF o multiplicación/división en PF.



1. La frecuencia de trabajo de la CPU suponiendo que la duración de las operaciones a realizar en las diferentes etapas son:

Etapa	Operación	Tiempo
Fetch		2 ns
Decode		1.3 ns
Execute	Entera	3 ns
	Suma / Resta PF	10 ns
	Multiplicación / División PF	15 ns
W/B		1.5 ns

1. Para la frecuencia obtenida, determinar el cronograma de ejecución para los siguientes códigos en ensamblador:

<pre>ld r1, 35(r2) add r4, r2, r3 sub r7, r5, r6 sto r9, 0(r8)</pre>	<pre>ld r1, 35(r2) add r4, r2, r3 ;pf muld r7, r5, r6 ;pf sto r9, 0(r8)</pre>
--	---

Y calcular el tiempo en ciclos total y el número de ciclos necesarios por instrucción.



Ejercicio 4

Se están considerando dos alternativas para una instrucción de salto condicional:

La CPU A ejecuta una instrucción de comparación seguida de un salto basado en el resultado de dicha comparación. En la CPU B, la instrucción de salto incluya la comparación. En ambas CPUs la instrucción de salto necesita 2 ciclos y el resto 1 ciclo.

Sabemos que el 20% de las instrucciones son saltos condicionales (En la CPU A existe un 20% de comparaciones por causa de los saltos). Además, la CPU A es un 25% más rápida que la CPU B, por lo que $\text{Ciclo B} = 1,25 * \text{Ciclo A}$.

1. Se pide:
 - Determinar los CPI de ambas opciones.
 - Determinar el tiempo de ejecución de cada una de las CPUs. ¿Cuál es más rápida?
2. Si reducimos la diferencia entre los ciclos de reloj a un 10% en vez de un 25%. ¿Qué ocurre?