

Tema 2: Arquitectura Interna

SOLUCIÓN DE EJERCICIOS PROPUESTOS

Ejercicio 1

a) Hay dos memorias con diferentes tamaños de bus. Si se utiliza toda la capacidad de almacenamiento, no puede ser una arquitectura Von Neumann, ya que esta arquitectura necesita una homogeneidad de tamaño de bus de datos entre las memorias. Por lo tanto es un arquitectura Harvard.

b) La Memoria 1 es compatible con el tamaño del PC (24 bits son 16M de capacidad de direccionamiento) y con el tamaño del IR (32 bits es el mismo tamaño que el bus de datos de ma Memoria 1). Por lo tanto, la Memoria 1 es la memoria de programa, y la Memoria 2 será la memoria de datos. Esto fuerza a que la Memoria 2 tenga que ser de una tecnología que permita la lectura y escritura de una forma eficiente y rápida, por lo que la tecnología que mejor se ajusta, es la memoria RAM.

c) Si los registros internos son de propósito general, tienen que ser capaces de almacenar tanto datos como direcciones de datos. La memoria de datos es de 16 bits y es direccionada utilizando 17 bits (para alcanzar los 128K). Por lo tanto los registros internos tienen que tener 17 bits.

Ejercicio 2

- 1- ¿Qué cambiaría del diagrama para convertir la arquitectura en una Von Neumann?
Von Neumann sólo usa un mapa de memoria que almacena tanto datos como instrucciones. In la Figura, una de las memorias no se usaría y todas las conexiones de buses deben adaptarse a esta nueva arquitectura.
- 2- Explique cómo es un ciclo de instrucción. Porporcione nombre a cada una de las fases del ciclo de instrucción y describa brevemente su funcionamiento.
El ciclo de instrucción consiste en leer una instrucción de la memoria, almacenarla en el IR, decodificarla y ejecutarla. Esto se hace en las siguientes tres fases:
 - Fetch: lee la instrucción de la memoria, en la posición indicada por el PC, y la almacena en el IR. Se actualiza el PC para que apunte a la siguiente instrucción.
 - Decode: Decodifica la instrucción almacenada en el IR.
 - Execute: Ejecuta la instrucción decodificada.
- 3- Explica qué es la segmentación (pipeline) y qué es lo que mejora en el funcionamiento de la CPU.
La segmentación acelera la ejecución porque antes de finalizar la ejecución de la instrucción actual, una etapa previa ya ha decodificado la siguiente instrucción, y una

anterior ya ha cargado la que seguirá después. Si se segmenta en 3, por ejemplo, se acelera la ejecución en 3 veces.

4- ¿Qué es el PC?

El PC (contador de programa) contiene la siguiente dirección a ser leída de la memoria de programa. Se utiliza como un puntero a la siguiente dirección a ser ejecutada.

5- Indique el número de registros que tendrá el banco de registros. Indique también la anchura del bus de direcciones M2 y el tamaño total de la memoria M1.

El banco de registros se direcciona con 4 bits, por lo tanto, el banco tendrá un número entre 9 y 16 registros.

M1: $2^{20} \times 16 = 1\text{M} \times 16$

M2: $64\text{K} \times 32 / 32 = 64\text{K} = 2^{16}$, el bus de direcciones tiene 16 bits.

6- Si cambiamos el tamaño de las instrucciones a 32 bits, explique los cambios requeridos en la figura, tanto en las memorias, como en los buses y los registros.

El bus de datos de M1 se incrementará a 32. Si queremos mantener la misma capacidad para M1, entonces podremos sólo almacenar la mitad de las instrucciones. En cuanto a los registros, sólo el IR tendrá que incrementarse.