

Tema 4: Conversión AD/DA

EJERCICIOS PROPUESTOS

Ejercicio 1

Explique las ventajas e inconvenientes del DAC binario en comparación con el DAC resistivo y el DAC R/2R.

Ejercicio 2

Describa el funcionamiento de un ADC de aproximaciones sucesivas algorítmico e indique cuántos ciclos de reloj necesitaría un ADC de 10 bits para realizar la conversión (justifique la respuesta).

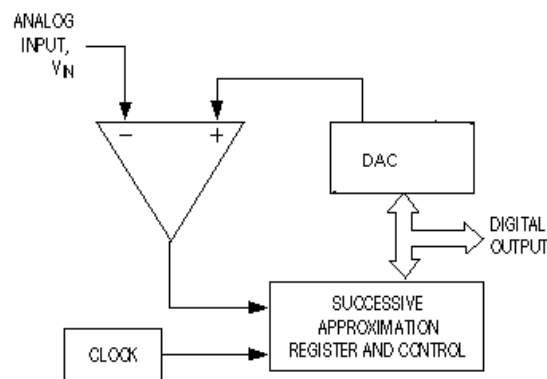


Figura: https://www.pc-control.co.uk/atod_types.htm

Ejercicio 3

Explique brevemente el funcionamiento de un DAC binario, así como sus ventajas y desventajas en comparación con el DAC resistivo y el DAC R/2R.

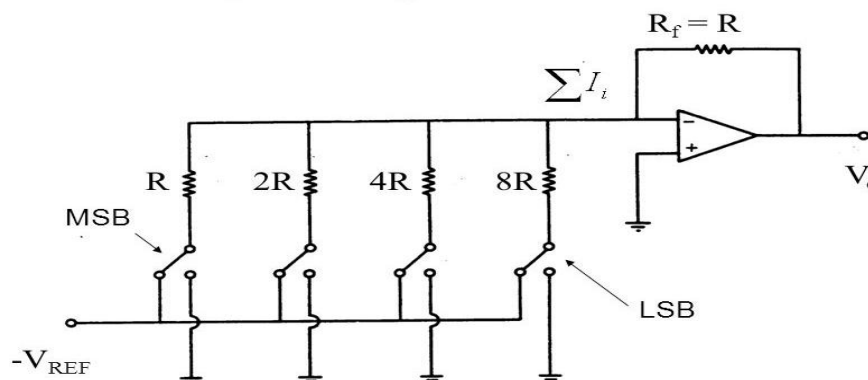


Figura: <https://slideplayer.com/slide/5942709/>

Ejercicio 4

Tenemos un ADC con una resolución de 4096 niveles y una frecuencia de muestreo máxima de 1MHz. Las tensiones de referencia son $V_{ref+} = 3V$ y $V_{ref-} = 0V$. Responda a las siguientes preguntas de forma justificada utilizando esta información.

- ¿Cuál sería el error de cuantificación del ADC?
- ¿Podría convertir una señal cuya frecuencia máxima es de 600 KHz sin perder información?
- Si se quiere convertir una señal cuya frecuencia máxima es de 200 KHz, ¿cuánto espacio ocuparía una trama convertida de 2 segundos dentro de una memoria direccionada sólo con palabras? ¿Qué tamaño de memoria utilizaría para ello y con cuántas líneas de dirección?
- Para el caso anterior, ¿qué características debe tener el DAC que reproduzca posteriormente la señal convertida (número de bits y tiempo de establecimiento)?

Ejercicio 5

En el diseño de un sistema electrónico digital es necesario gestionar una señal analógica procedente de un sensor que proporciona información entre $-0,005V$ y $0,01V$ con una frecuencia máxima de 20 MHz.

Como la señal es muy débil, es necesario amplificarla antes de la conversión a valor digital. Las tensiones de referencia para el ADC están fijadas por el diseño del sistema en $-2V$ y $+5V$ y no se pueden utilizar más de 12 bits.

- Determine la ganancia del amplificador utilizado.
- Determine todas las características que tendría el ADC, para que tenga la mayor precisión en el proceso de conversión. Indique el error de cuantificación, el valor digital más bajo y el valor digital más alto esperado para el ADC (indicado en hexadecimal), y finalmente el tiempo de conversión.
- Si desea guardar estos valores consecutivamente en una EEPROM, indique los requisitos mínimos (capacidad y tiempo) para que la memoria almacene 10 segundos de la señal analógica.

Ejercicio 6

En el diseño de un sistema electrónico digital es necesario gestionar una señal analógica procedente de un sensor que proporciona información entre $-3V$ y $+7V$ con una frecuencia máxima de 30 MHz. El error máximo de cuantificación debe ser de $\pm 0,005V$.

Se ha decidido utilizar un ADC de aproximaciones sucesivas algorítmico que utiliza la misma señal de reloj que el microprocesador del sistema, pero el microprocesador debe ser 4 veces más rápido que el ADC.

¿Cuál es la frecuencia mínima que debe tener la señal de reloj del microcontrolador?

