

## Tema 4: Conversión AD/DA

### SOLUCIÓN DE EJERCICIOS PROPUESTOS

#### Ejercicio 1

Explique las ventajas e inconvenientes del DAC binario en comparación con el DAC resistivo y el DAC R/2R.

La principal diferencia entre ellos es el número y el valor de las resistencias utilizadas. El DAC binario es el que utiliza menos resistencias (1 por cada bit), mientras que el DAC R/2R utiliza el doble (2 por cada bit) y el DAC resistivo utiliza el número de niveles de cuantificación ( $2^N$ , donde N es el número de bits del valor convertido). Esta última característica hace inviable el DAC resistivo cuando el número de bits es elevado.

Aunque el DAC binario utiliza el menor número de resistencias, sólo es aconsejable con un tamaño de bits medio porque cada resistencia es diferente y su relación es el doble entre sí (en orden descendente de la posición del bit). Esto es difícil de conseguir y, si tenemos muchos bits, las últimas resistencias son muy altas, lo que significa que tienen un gran tamaño y la dificultad del proceso de fabricación del circuito integrado aumenta (más tamaño y más calor a evacuar).

El DAC R/2R tiene el doble de resistencias que el DAC binario, pero la ventaja es que sólo utiliza 2 valores para ellas, lo que facilita el proceso de fabricación.

#### Ejercicio 2

Describa el funcionamiento de un ADC de aproximaciones sucesivas algorítmico e indique cuántos ciclos de reloj necesitaría un ADC de 10 bits para realizar la conversión (justifique la respuesta).

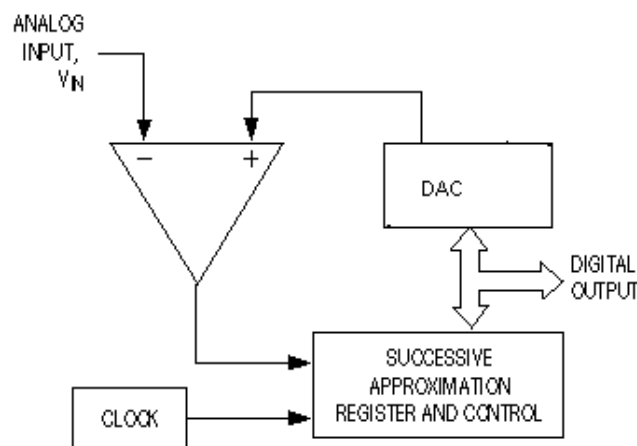


Figura: [https://www.pc-control.co.uk/atod\\_types.htm](https://www.pc-control.co.uk/atod_types.htm)

Un ADC de aproximaciones sucesivas utiliza un contador que compara un valor digital propuesto (convertido en analógico por un DAC) con el valor analógico a convertir, hasta que ambos valores sean iguales. En este momento, el valor digital propuesto por el contador es el valor digital buscado.

En el caso de un ADC de aproximaciones sucesivas algorítmico, se utiliza un controlador lógico en lugar de un contador y el método de búsqueda a utilizar se basa en la búsqueda de mitades. El método es el siguiente.

- Selecciona el valor digital situado en la mitad del rango del conversor, lo envía al DAC y lo convierte en valor analógico.
- Este se compara con el valor analógico en la entrada del conversor y se discrimina si es mayor o menor.
- Si el valor analógico es menor o igual que el valor propuesto, el valor de búsqueda será la mitad entre el valor mínimo y el valor medio del rango.
- Si el valor analógico es mayor que el valor propuesto, entonces prueba la siguiente mitad más alta. Y así sucesivamente hasta encontrar un valor adecuado.

Se puede aprovechar la ventaja de que al dividir un valor binario entre 2 y buscar el valor superior o inferior, se define el bit más significativo (si el valor es inferior a la mitad, siempre se tiene un '0', si no, siempre se tiene un '1'). Así, el número de operaciones necesarias en el ADC de aproximaciones sucesivas algorítmico para obtener el valor digital es el número de bits de éste. Normalmente se añade 1 ciclo más para asentar el sistema.

Por tanto, un ADC de aproximaciones sucesivas algorítmico de N bits necesitará N+1 ciclos para realizar la conversión. Si tenemos 10 bits, el conversor necesitará 11 ciclos.

### Ejercicio 3

Explique brevemente el funcionamiento de un DAC binario, así como sus ventajas y desventajas en comparación con el DAC resistivo y el DAC R/2R.

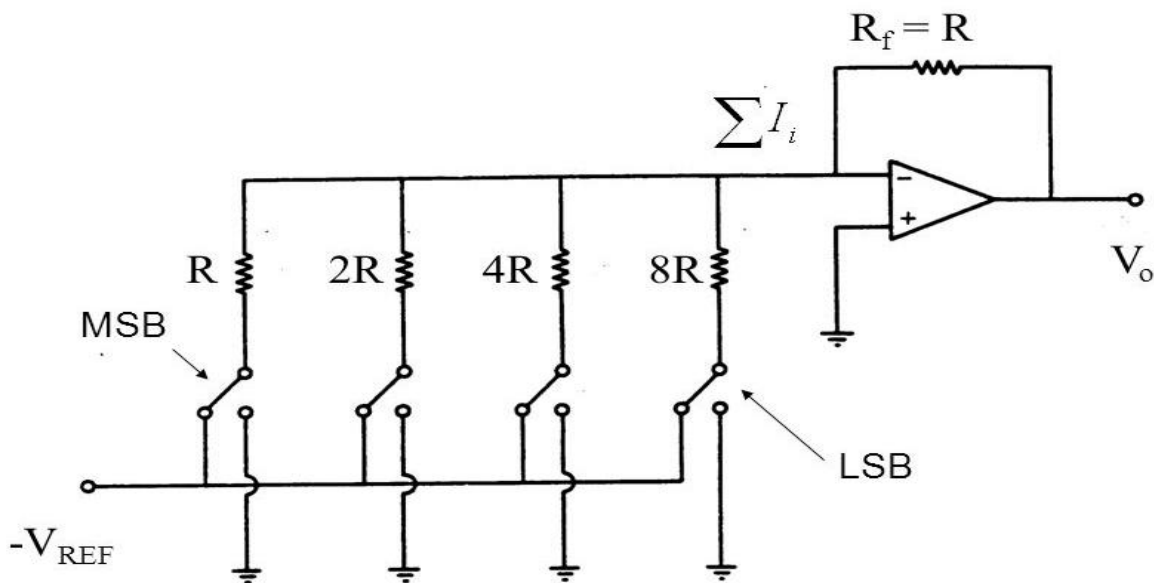


Figura: <https://slideplayer.com/slide/5942709/>

Este DAC se basa en la suma de corrientes en la entrada negativa del amplificador operacional (utilizando la primera ley de Kirchoff). Este amplificador funciona como un convertor de corriente/tensión de manera que la suma de corrientes se convierte en una tensión proporcional a la misma.

Para que la corriente sea proporcional al valor digital ( $d_1, d_2, d_3, d_4$ ), debe haber tantas ramas como bits tenga el valor digital. Cada rama tiene una resistencia con un valor  $R \cdot 2^N$ . El menor peso es para el bit 0 y el mayor peso para el bit N (por tanto, el valor digital con más peso es  $2R$ , el siguiente es  $4R$ , y así sucesivamente). Utilizando este truco, la corriente obtenida en la entrada negativa del amplificador operacional, como resultado de la suma de cada rama, es siempre proporcional a cada valor digital.

La principal ventaja de este DAC es que utiliza muy pocas resistencias (una por cada bit), mientras que el DAC  $R/2R$  utiliza el doble (dos por cada bit) y el DAC resistivo utiliza tantas resistencias como el número de niveles de cuantificación ( $2^N$ , donde N es el número de bits del valor convertido).

Pero, aunque el DAC binario utiliza el menor número de resistencias, sólo es aconsejable con un tamaño de bits medio porque cada resistencia es diferente y su relación es el doble entre sí (en orden descendente de la posición del bit). Esto es difícil de conseguir y, si tenemos muchos bits, las últimas resistencias son muy altas, lo que significa que tienen un gran tamaño y la dificultad del proceso de fabricación del circuito integrado aumenta (más tamaño y más calor a evacuar).

El DAC  $R/2R$  tiene el doble de resistencias que el DAC binario, pero la ventaja de que sólo utiliza 2 valores para ellas, lo que facilita el proceso de fabricación.

#### Ejercicio 4

Tenemos un ADC con una resolución de 4096 niveles y una frecuencia de muestreo máxima de 1MHz. Las tensiones de referencia son  $V_{ref+} = 3V$  y  $V_{ref-} = 0V$ . Responda a las siguientes preguntas de forma justificada utilizando esta información.

- ¿Cuál sería el error de cuantificación del ADC?
- ¿Podría convertir una señal cuya frecuencia máxima es de 600 KHz sin perder información?
- Si se quiere convertir una señal cuya frecuencia máxima es de 200 KHz, ¿cuánto espacio ocuparía una trama convertida de 2 segundos dentro de una memoria direccionada sólo con palabras? ¿Qué tamaño de memoria utilizaría para ello y con cuántas líneas de dirección?
- Para el caso anterior, ¿qué características debe tener el DAC que reproduzca posteriormente la señal convertida (número de bits y tiempo de establecimiento)?

a) Un ADC de 4096 niveles tiene 4096 pasos de cuantificación. Como el rango de tensión está entre 3V y 0V, cada paso es  $3/4096 = 0,000732V$ . Tenemos que elegir el valor medio, por lo que el error de cuantificación es de aproximadamente  $0,00073/2 = 0,000366V$ .

b) La frecuencia máxima de la señal analógica es de 600 KHz. Según el teorema de Nyquist, la frecuencia de muestreo debe ser al menos igual o superior al doble de la frecuencia más alta de la señal a convertir, por lo que:  $f_s \geq 2 * f_{max} = 2 * 600 \text{ KHz} = 1,2 \text{ MHz}$ . El enunciado dice que la frecuencia máxima de muestreo para el ADC es de 1 MHz. Por lo tanto, este ADC no puede convertir la señal analógica sin perder información.

c) Si  $f_{max} = 200 \text{ KHz}$ , según el teorema de Nyquist la frecuencia de muestreo debe ser superior o igual a  $2 * 200 \text{ KHz} = 400 \text{ KHz} = 400.000 \text{ muestras por segundo}$ . Si obtenemos 400.000 muestras por segundo, la trama ocuparía 800.000 muestras en 2 segundos. El enunciado dice que el ADC tiene 4096 niveles, es decir 12 bits ( $4096 = 2^{12}$ ).

Como la memoria sólo se direcciona con palabras = 16 bits, necesitamos 12 bits para la muestra y se pierden 4 bits. El resultado final es que necesitamos 800.000 palabras para las 800.000 muestras, lo que significa 1.600.000 bytes = 1,6 MB aproximadamente.

Pero las memorias también tienen normalmente un tamaño múltiplo de  $2^N$  (512, 1024, 2048,...), por lo que la capacidad mínima de memoria necesaria debe ser  $2 \text{ MB} = 2^{20}$ , por lo que hacen falta 20 líneas para el direccionamiento.

d) El DAC debe ser compatible con la conversión, por lo que el número de bits debe ser 12. Para el tiempo de establecimiento, es necesario que sea al menos igual que el tiempo de muestreo. La frecuencia de muestreo debe ser de al menos 400 KHz, por lo que el tiempo de conversión del ADC es  $1/400000 = 2,5 \mu\text{s}$ . Por lo tanto, el tiempo de establecimiento debe ser de al menos 2,5  $\mu\text{s}$ .

## Ejercicio 5

En el diseño de un sistema electrónico digital es necesario gestionar una señal analógica procedente de un sensor que proporciona información entre -0,005V y 0,01V con una frecuencia máxima de 20 MHz.

Como la señal es muy débil, es necesario amplificarla antes de la conversión a valor digital. Las tensiones de referencia para el ADC están fijadas por el diseño del sistema en -2V y +5V y no se pueden utilizar más de 12 bits.

a) Determine la ganancia del amplificador utilizado.

b) Determine todas las características que tendría el ADC, para que tenga la mayor precisión en el proceso de conversión. Indique el error de cuantificación, el valor digital más bajo y el valor digital más alto esperado para el ADC (indicado en hexadecimal), y finalmente el tiempo de conversión.

c) Si desea guardar estos valores consecutivamente en una EEPROM, indique los requisitos mínimos (capacidad y tiempo) para que la memoria almacene 10 segundos de la señal analógica.

a) El amplificador debe diseñarse de forma que 0,01V se amplifique hasta 5V y -0,005V se amplifique hasta -2V, y el rango del ADC cubriría completamente el rango del sensor.

Para conseguirlo, la ganancia del amplificador en el camino positivo sería  $5/0,01 = 500$  y la ganancia del amplificador en el camino negativo sería  $-2/-0,005 = 400$ . Tengo que elegir el valor más bajo, por lo que la ganancia del amplificador debe ser 400.

b) Si necesitamos la mayor precisión, debemos utilizar 12 bits en el ADC. 12 bits significa  $2^{12} = 4096$  niveles de cuantificación. Como el rango del ADC es de 7V (+5V / -2V), el error de cuantificación es  $= \pm(7/4096)/2 = 0,00085V$ .

El amplificador tiene una ganancia de 400. El valor más bajo para el ADC es el valor analógico más bajo del sensor multiplicado por la ganancia del amplificador y luego convertido en digital. La entrada analógica en el ADC para el valor más bajo del sensor es  $-0,005V * 400 = -2V = V_{ref-}$ , por lo que el valor digital mínimo es  $0 = 0x000$ .

El valor más alto para el ADC es el valor analógico más alto del sensor multiplicado por la ganancia del amplificador y luego convertido en digital. La entrada analógica en el ADC para el valor más alto del sensor es  $0,01V * 400 = 4V$ , por lo que el valor digital máximo es  $0xDB6 = 6/7 * 4096 = 3510$ .

Para el tiempo de conversión, la velocidad de muestreo debe ser al menos igual o superior al doble de la frecuencia máxima de la señal a convertir, por lo que:  $f_s \geq 2 * f_{max} = 2 * 20 \text{ Mhz} = 40000 \text{ KHz}$ . Por tanto, el tiempo de conversión debe ser inferior a 25 ns ( $1/40000000 \text{ Hz} = 25 \text{ ns}$ ).

c) Cada muestra debe almacenarse en 12 bits. En cada segundo se realizan 40.000.000 muestreos. Por tanto, en 10 segundos se realizan 400.000.000 muestras. Las memorias tienen normalmente un tamaño de datos múltiplo de  $2^N$  (1, 2, 4, 8, 16, 32 o 64 bits), por lo que necesitamos una memoria de 16 bits (12 bits para el valor y 4 bits se pierden). Necesitamos 400.000.000 palabras, es decir 800.000.000 bytes = 800MB, pero las memorias tienen también normalmente un tamaño múltiplo de  $2^N$  (512, 1024, 2048,...), por lo que la capacidad de memoria necesaria debe ser de 1GB.

En cuanto a las propiedades de tiempo de la memoria, ésta debe ser capaz de grabar la muestra en un tiempo inferior al tiempo de conversión, por tanto inferior a 25 ns.

## Ejercicio 6

En el diseño de un sistema electrónico digital es necesario gestionar una señal analógica procedente de un sensor que proporciona información entre -3V y +7V con una frecuencia máxima de 30 MHz. El error máximo de cuantificación debe ser de  $\pm 0,005V$ .

Se ha decidido utilizar un ADC de aproximaciones sucesivas algorítmico que utiliza la misma señal de reloj que el microprocesador del sistema, pero el microprocesador debe ser 4 veces más rápido que el ADC.

¿Cuál es la frecuencia mínima que debe tener la señal de reloj del microcontrolador?

El enunciado dice que  $f_{uP} = 4 * f_{ADC}$ .

Según el teorema de Nyquist, la frecuencia de muestreo debe ser al menos igual o superior al doble de la frecuencia más alta de la señal a convertir, por lo que:  $f_s \geq 2 * f_{max} = 60 \text{ MHz}$ .

Por otro lado, el ADC de aproximaciones sucesivas algorítmico utiliza un controlador lógico en lugar de un contador y el método de búsqueda a utilizar se basa en la búsqueda de mitades. El método es el siguiente.

- Selecciona el valor digital situado en la mitad del rango del convertidor, lo envía al DAC y lo convierte en valor analógico.
- Este se compara con el valor analógico en la entrada del convertidor y se discrimina si es mayor o menor.
- Si el valor analógico es menor o igual que el valor propuesto, el valor de búsqueda será la mitad entre el valor mínimo y el valor medio del rango.
- Si el valor analógico es mayor que el valor propuesto, entonces prueba la siguiente mitad más alta. Y así sucesivamente hasta encontrar un valor adecuado.

Se puede aprovechar la ventaja de que al dividir un valor binario entre 2 y buscar el valor superior o inferior, se define el bit más significativo (si el valor es inferior a la mitad, siempre se tiene un '0', si no, siempre se tiene un '1'). Así, el número de operaciones en las aproximaciones secuenciales algorítmicas ADC necesarias para obtener el valor digital es el número de bits de éste. Normalmente se añade 1 ciclo más para asentar el sistema.

Por tanto, un ADC de aproximación secuencial algorítmica de N bits necesitará N+1 ciclos para realizar la conversión. Así que para este sistema la frecuencia máxima para el ADC es  $(N+1) * f_s$ .

Para obtener el número de bits (N), hay que tener en cuenta el rango para la conversión y el error de cuantificación.

- $eq = ((V_{max} - V_{min}) / 2^N) / 2$
- $0,005 = (10 / 2^N) / 2$
- $2^N = 1000$

Así pues, N debe ser 10 como mínimo = 1024 niveles de cuantificación, y el error de cuantificación es inferior al indicado. Este N permite finalmente calcular la frecuencia del microprocesador:

- $f_{uP} = 4 * f_{ADC} \geq 4 * (N+1) * f_s = 2640 \text{ MHz} = 2,64 \text{ GHz}$